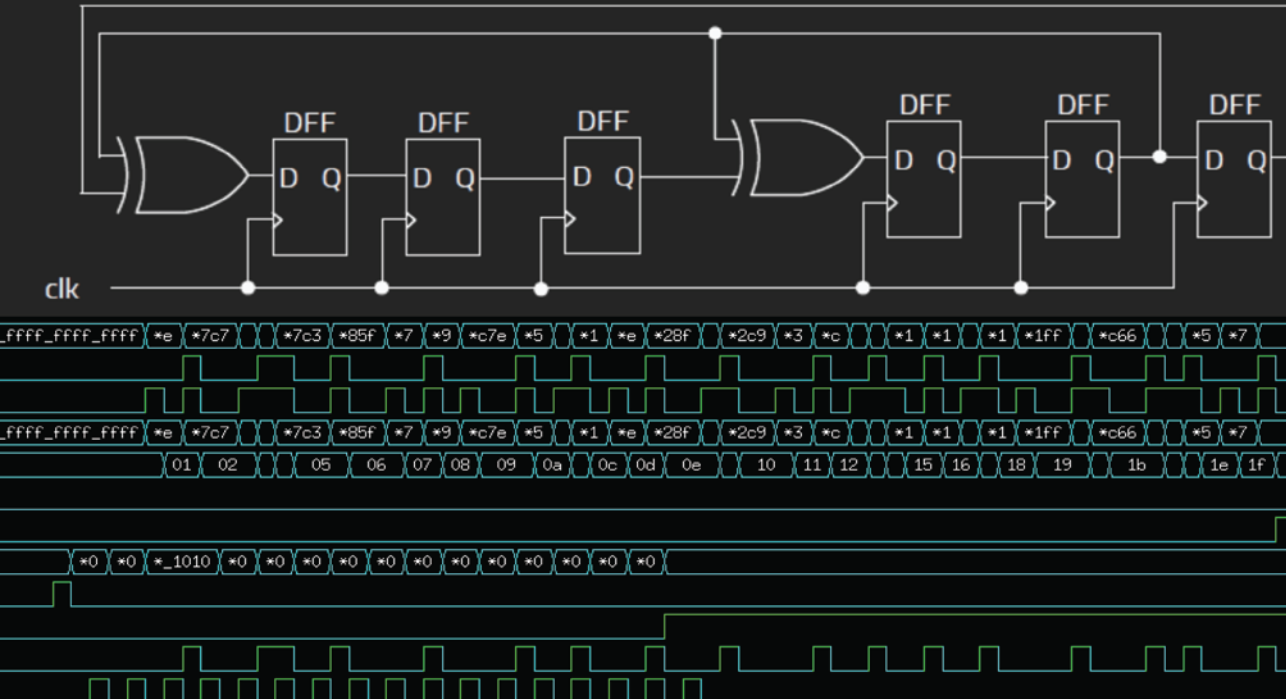


TOMUL PENTRU GRABĂ MARE

DAN NICULA

ELECTRONICĂ DIGITALĂ

CARTE DE ÎNVĂȚĂTURĂ



Dan NICULA

ELECTRONICĂ DIGITALĂ

Carte de învățatură



**EDITURA
UNIVERSITĂȚII
TRANSILVANIA
DIN BRAȘOV**

2025

EDITURA UNIVERSITĂȚII TRANSILVANIA DIN BRAȘOV

Adresa: Str. Iuliu Maniu nr. 41A

500091 Brașov

Tel.: 0268 476 050

Fax: 0268 476 051

E-mail: editura@unitbv.ro

Editură acreditată de CNCSIS, cod 81

ISBN 978-606-19-1794-5 (ebook)

Copyright ©2025 Autorul

Lucrarea a fost avizată de

Consiliul Departamentului de Electronică și Calculatoare din cadrul

Facultății de Inginerie Electrică și Știința Calculatoarelor,

Universitatea Transilvania din Brașov.

Cuprins

Electronică digitală	I
Cuprins	i
Cuvântul cel dintâi către „cetitor”	xi
Tomul pentru zăbovit și gândit	1
Începutul învățaturii „Tomului pentru zăbovit și gândit”	3
1 De la matematică la inginerie	5
1.1 Lumea digitală. Între 0 și 1	7
1.1.1 De ce este nevoie de „Electronică digitală”?	8
1.1.2 Informația. Semnale	12
1.2 Matematică binară	16
1.2.1 Reprezentarea numerelor	17
1.2.2 Conversia numerelor între bazele de numerație 2, 10, 16	22
1.2.3 Reprezentarea numerelor întregi în complement față de 2	28
1.2.4 Adunarea și scăderea numerelor întregi reprezentate în complement față de 2	31
1.2.5 Codul ASCII	33
1.2.6 Codul BCD	35
1.2.7 Algebra Booleană	36
1.3 Inginerie binară	38
1.3.1 Porți logice	38
1.3.2 Justificarea noțiunii de poartă logică	40
1.3.3 Set complet de operatori logici	45
1.3.4 Parametrii porților și semnalelor logice	45
1.3.5 Timp de propagare	51
1.4 Modelarea sistemelor digitale în HDL	54
1.4.1 De ce este nevoie de HDL?	55
1.4.2 Metodologia de proiectare a sistemelor digitale	57

1.4.3	Mediul de simulare HDL	59
1.4.4	Modele HDL	60
1.4.5	Setul de valori	63
1.4.6	Tipuri de date	63
1.4.7	Codați cu stil!	65
1.4.8	Hard-ul nu-i ca soft-ul!	67
2	Circuite logice combinaționale	69
2.1	Reprezentarea circuitelor logice combinaționale	72
2.1.1	Tabele de adevăr	72
2.1.2	Forme standard	74
2.1.3	Diagrame Veitch-Karnaugh	76
2.2	Analiza circuitelor logice combinaționale	79
2.3	Sinteza circuitelor logice combinaționale	84
2.3.1	Minimizarea funcțiilor logice, diagrame V-K	84
2.3.2	Minimizarea funcțiilor logice incomplet definite	86
2.3.3	Minimizarea funcțiilor cu variabile reziduu	87
2.3.4	Minimizarea funcțiilor logice cu ieșiri multiple	88
2.4	CLC particulare	90
2.4.1	Decodificator	91
2.4.2	Codificator	99
2.4.3	Multiplexor	101
2.4.4	Demultiplexor	110
2.4.5	Sumator	117
2.4.6	Comparator	121
2.4.7	Unitate logică și aritmetică	123
2.4.8	Look-Up-Table și memorii ROM	126
2.5	Modelarea circuitelor logice combinaționale în HDL	129
2.5.1	Operatori	129
2.5.2	Operatori aritmetici	131
2.5.3	Operatori relaționali	138
2.5.4	Operatori de egalitate	138
2.5.5	Operatori logici	139
2.5.6	Operatori logici pe vectori de biți	140
2.5.7	Operatori de reducere	141
2.5.8	Operatori de deplasare	143
2.5.9	Operatorul condițional	145
2.5.10	Operatori de concatenare și replicare a biților	145
2.5.11	Precedența operatorilor	146
2.5.12	Modelarea circuitelor logice combinaționale	149
3	Circuite logice secvențiale	157
3.1	Circuite de memorare a stării	159
3.1.1	Latch	163
3.1.2	Bistabile	167

3.1.3	Inițializarea bistabilelor	181
3.2	Automate secvențiale	183
3.3	Reprezentarea automatelor	186
3.3.1	Tabele de tranziții	187
3.3.2	Organigrame	190
3.3.3	Grafuri	191
3.3.4	Analiza circuitelor logice secvențiale	193
3.3.5	Sinteza automatelor	197
3.3.6	Modelarea automatelor în Verilog	200
3.4	Registre și numărătoare	206
3.4.1	Registre cu accesare serie sau paralel	207
3.4.2	Numărătoare	211
3.4.3	Linear-Feedback-Shift-Register	211
3.4.4	Modelarea HDL a registrelor și a numărătoarelor	213
3.5	Memorii	225
3.5.1	Memoria ROM sincronă	225
3.5.2	Memoria RAM	228
3.5.3	Structuri de memorii	237
4	Considerente ingineresti ale sistemelor digitale	245
4.1	Timpul în sistemele digitale	248
4.1.1	Căi de propagare, frecvența semnalului de ceas, slack	248
4.1.2	Parametrii semnalului de ceas: skew, jitter, drift	251
4.1.3	Metastabilitatea bistabilelor	255
4.1.4	Domenii de ceas, circuite de sincronizare	256
4.1.5	Structura pipeline	259
4.2	Protocoale de comunicare sincrone între module digitale	262
4.2.1	Protocolul „request-acknowledge”	262
4.2.2	Protocolul „valid-ready”	266
4.3	Tehnologia circuitelor integrate digitale	270
4.3.1	Metodologia de proiectare a circuitelor integrate digitale	271
4.3.2	Fabricarea circuitelor integrate	274
4.3.3	Tehnologia CMOS	275
4.4	Noțiuni avansate de Verilog	279
4.4.1	Modelarea comportamentală RTL	281
4.4.2	Medii de testare	288
	Tomul pentru zăbovit și gândit - Final	300
	Tomul pentru chibzuit și buchisit	301
	Începutul învățaturii „Tomului pentru chibzuit și buchisit”	303
1	Reprezentarea datelor în sistemele digitale	305
1.1	Pentru seminar	305

1.2	Pentru cei ce vor doar să promoveze examenul	306
1.3	Pentru cei ce vor să învețe	307
1.4	Pentru cei ce vor să devină profesioniști	316
2	Algebră Booleană, porți logice, funcții logice	319
2.1	Pentru seminar	319
2.2	Pentru cei ce vor doar să promoveze examenul	323
2.3	Pentru cei ce vor să învețe	327
2.4	Pentru cei ce vor să devină profesioniști	344
3	Minimizare cu diagrame Veitch-Karnaugh	351
3.1	Pentru seminar	351
3.2	Pentru cei ce vor doar să promoveze examenul	351
3.3	Pentru cei ce vor să învețe	352
3.4	Pentru cei ce vor să devină profesioniști	356
4	Implementare CLC cu porți NAND	363
4.1	Pentru seminar	363
4.2	Pentru cei ce vor doar să promoveze examenul	365
4.3	Pentru cei ce vor să învețe	366
4.4	Pentru cei ce vor să devină profesioniști	371
5	Multiplexoare, demultiplexoare și codificatoare	377
5.1	Pentru seminar	377
5.2	Pentru cei ce vor doar să promoveze examenul	378
5.3	Pentru cei ce vor să învețe	379
5.4	Pentru cei ce vor să devină profesioniști	380
6	Modelarea circuitelor logice combinaționale	393
6.1	Pentru seminar	393
6.2	Pentru cei ce vor doar să promoveze examenul	397
6.3	Pentru cei ce vor să învețe	398
6.4	Pentru cei ce vor să devină profesioniști	399
6.5	Concluzie: Inginer vs. ChatGPT	409
7	Circuite cu bistabile	415
7.1	Pentru seminar	415
7.2	Pentru cei ce vor doar să promoveze examenul	418
7.3	Pentru cei ce vor să învețe	419
7.4	Pentru cei ce vor să devină profesioniști	422
8	Analiza circuitelor logice secvențiale	425
8.1	Pentru seminar	425
8.2	Pentru cei ce vor doar să promoveze examenul	426
8.3	Pentru cei ce vor să învețe	426
8.4	Pentru cei ce vor să devină profesioniști	432

9 Sinteza circuitelor logice secvențiale	439
9.1 Pentru seminar	439
9.2 Pentru cei ce vor doar să promoveze examenul	441
9.3 Pentru cei ce vor să învețe	441
9.4 Pentru cei ce vor să devină profesioniști	449
10 Modelarea automatelor în Verilog	453
10.1 Pentru seminar	455
10.2 Pentru cei ce vor doar să promoveze examenul	457
10.3 Pentru cei ce vor să învețe	457
10.4 Pentru cei ce vor să devină profesioniști	459
11 Registre și numărătoare	469
11.1 Pentru seminar	469
11.2 Pentru cei ce vor doar să promoveze examenul	471
11.3 Pentru cei ce vor să învețe	471
11.4 Pentru cei ce vor să devină profesioniști	474
12 Memorii	485
12.1 Pentru seminar	485
12.2 Pentru cei ce vor doar să promoveze examenul	486
12.3 Pentru cei ce vor să învețe	486
12.4 Pentru cei ce vor să devină profesioniști	488
13 Proiectarea sistemelor digitale	495
13.1 Pentru seminar	495
13.2 Pentru cei ce vor doar să promoveze examenul	496
13.3 Pentru cei ce vor să învețe	496
13.4 Pentru cei ce vor să devină profesioniști	507
14 Probleme de examen	511
14.1 Subiectul 1	511
14.1.1A. Noțiuni generale	511
14.1.2B. Circuite logice combinaționale	516
14.1.3C. Circuite logice secvențiale	518
14.1.4D. Proiectare sistem digital	521
14.2 Subiectul 2	523
14.2.1A. Noțiuni generale	523
14.2.2B. Circuite logice combinaționale	528
14.2.3C. Circuite logice secvențiale	531
14.2.4D. Proiectare sistem digital	532
14.3 Subiectul 3	534
14.3.1A. Noțiuni generale	534
14.3.2B. Circuite logice combinaționale	539
14.3.3C. Circuite logice secvențiale	540
14.3.4D. Proiectare sistem digital	541

14.4	Subiectul 4	542
14.4.1A.	Noțiuni generale	543
14.4.2B.	Circuite logice combinaționale	548
14.4.3C.	Circuite logice secvențiale	550
14.4.4D.	Proiectare sistem digital	552
14.5	Subiectul 5	553
14.5.1A.	Noțiuni generale	553
14.5.2B.	Circuite logice combinaționale	558
14.5.3C.	Circuite logice secvențiale	559
14.5.4D.	Proiectare sistem digital	562
15	Subiecte pentru evaluat ingineri	565
15.1	Ingineri începători	565
15.1.1	Cunoștințe generale	565
15.1.2	Definirea noțiunilor	566
15.1.3	Circuite cu bistabile	575
15.1.4	Proiectare circuite secvențiale pe baza specificațiilor	579
15.1.5	Proiectare circuite secvențiale după model	588
15.2	Ingineri avansați	589
15.2.1	Analiza circuitelor digitale	589
15.2.2	Proiectare sisteme digitale de control	596
	Tomul pentru chibzuit și buchisit - Final	610
	Tomul pentru meșterit și muncit	611
	Începutul învățaturii „Tomului pentru meșterit și muncit”	613
1	Modelarea circuitelor cu porți logice	615
1.1	Desfășurarea lucrării	615
1.2	Temă de casă	618
2	Modelarea circuitelor logice	623
2.1	Desfășurarea lucrării	624
2.2	Temă de casă	626
3	Desenare diagrame de timp, circuite și scheme	629
3.1	Desfășurarea lucrării	631
3.2	Temă de casă	633
4	Modelarea circuitelor digitale în Verilog	635
4.1	Noțiuni introductive	635
4.1.1	Definirea termenilor	635
4.1.2	Modele asociate unui proiect	637
4.1.3	Organizarea fișierelor	638

4.1.4 Metodologia de proiectare a circuitelor integrate digitale	640
4.1.5 Metodologia de simulare HDL cu <i>ModelSim</i>	642
4.2 Desfășurarea lucrării	650
4.3 Temă de casă	651
5 Multiplexoare, demultiplexoare, codificatoare	653
5.1 Desfășurarea lucrării	654
5.2 Temă de casă	656
6 Modelarea circuitelor logice combinaționale în Verilog	659
6.1 Desfășurarea lucrării	660
6.2 Teme de casă	663
7 Modelarea circuitelor cu bistabile	665
7.1 Desfășurarea lucrării	667
7.1.1 Mediu de testare pentru circuite cu bistabile	669
7.2 Teme de casă	672
8 Modelarea circuitelor secvențiale cu bistabile	677
8.1 Desfășurarea lucrării	677
8.2 Temă de casă	680
9 Modelarea FSM	683
9.1 Desfășurarea lucrării	684
9.2 Temă de casă	686
10 Modelarea registrelor și a numărătoarelor	689
10.1 Desfășurarea lucrării	689
10.1.1 Registru cu validare	689
10.1.2 Numărător	690
10.1.3 LFSR	691
10.2 Temă de casă	692
11 Modelarea memoriilor	695
11.1 Noțiuni teoretice	695
11.1.1 Memorii	696
11.1.2 Inițializarea memoriei cu o constantă	698
11.1.3 Inițializarea memoriei	700
11.1.4 Funcții pentru accesul la fișiere de intrare/ieșire	700
11.1.5 Inițializarea memoriei din fișier	701
11.1.6 Salvarea conținutului memoriei în fișier	702
11.2 Desfășurarea lucrării	703
11.2.1 Testarea memoriei single-port	703
11.2.2 Operațiuni cu fișiere	704
11.2.3 Modificări asupra mediului de testare	705
11.3 Temă de casă	706

11.4 Fișiere cu modelul mediului de test	708
11.4.1 Modulul generatorului de stimuli	708
11.4.2 Modulul mediului de testare	709
12 Modelarea sistemelor digitale complexe	713
12.1 Multiplicator secvențial	714
12.2 Circuit watchdog	719
12.3 Circuit pipeline pentru determinarea maximului dintre 3 date	724
13 Subiecte pentru colocviul de laborator	735
Tomul pentru meșterit și muncit - Final	742
Tomul pentru grabă mare	743
Începutul învățaturii „Tomului pentru grabă mare”	745
1 Aritmetică binară	749
1.1 Întrebări	749
1.2 Răspunsuri	758
2 Porți logice	761
2.1 Întrebări	761
2.2 Răspunsuri	772
3 Funcții logice	775
3.1 Întrebări	775
3.2 Răspunsuri	784
4 Circuite logice combinaționale	785
4.1 Întrebări	785
4.2 Răspunsuri	791
5 Circuite logice combinaționale particulare	793
5.1 Întrebări	793
5.2 Răspunsuri	807
6 Elemente de memorare	809
6.1 Întrebări	809
6.2 Răspunsuri	821
7 Automate cu număr finit de stări	823
7.1 Întrebări	823
7.2 Răspunsuri	828
8 Circuite logice secvențiale particulare	829

8.1 Întrebări	829
8.2 Răspunsuri	851
9 Probleme pentru testat inteligența naturală/artificială	853
9.1 Probleme de proiectare	853
Tomul pentru grabă mare - Final	862
Grăirea de încheiere	863
Electronică digitală - Final	866

Cuvântul cel dintâi către „cetitor”

Omul a simțit dintotdeauna dorința să își transmită învățătura către generațiile următoare.

Prima ediție **„Electronică digitală - Carte de învățatură”** a apărut în anul 2012. Subtitlul arhaic își are originea în sentimentul meu că „*învățătura*”¹ devine învechită, fiind înlocuită treptat de „*descurcăreala*”².

După 3 ani, în 2015, am publicat **„Electronică digitală - Carte de învățatură 2.0”**, o ediție revizuită, în care „*m-am adaptat pieteii*”. Adică, am mai îndulcit tonul, am mai coborât ștacheta și am sortat problemele pentru a realiza o secțiune minimală, dedicată „*celor ce vor doar să promoveze examenul*”.

În 2019, pentru „*cei ce vor să învețe și să devină profesioniști*” am scris volumul **„Verilog - Carte de învățatură”**.

În anul 2020, am simțit nevoia să public un set de chestionare de electronică digitală, cu subtitlul **„Electronică digitală - Carte de învățatură în regim de urgență”**. Problemele au fost adaptate examinării online, prin transformarea problemelor de proiectare și gândire în chestionare potrivite pentru „*metoda ghici*”. Am vrut să marchez astfel perioada nefastă la nivel mondial și să îmi exprim convingerea că nu se pot pregăti profesioniști de electronică în *regim de urgență*.

După 2022, observând schimbarea evidentă a electronicii în ultimii 30 de ani, am actualizat conținutul cursului de Electronică digitală, prin aducerea limbajului de descriere hardware în strânsă conexiune cu circuitele electronice digitale. Am sesizat că studenții sunt mult mai pragmatici, dornici să rezolve repede problema, și mai puțin dornici să înțeleagă justificarea. După încă 2 ani, feed-back-ul primit din partea studenților a fost că „*nu există o bibliografie adaptată cerințelor mele*”.

¹**învățatură** = Procesul de a dobândi cunoștințe. dannicula.ro

²**descurcăreală** = Arta de a rezolva o problemă, fără a o înțelege pe deplin, eventual „*asistat de inteligență artificială*”. dannicula.ro

Înțelegând corectitudinea acestei opinii, m-am decis să rescriu cartea de învățătură în integralitatea ei, sub forma a patru „tomuri”³:

- **Tomul pentru zăbovit și gândit**⁴ suport de curs, noțiuni teoretice alăturate modelării Verilog.
- **Tomul pentru chibzuit și buchisit**^{5 6} suport pentru seminar și probleme de proiectare.
- **Tomul pentru meșterit și muncit**⁷ suport pentru laborator și mici proiecte pentru practică.
- **Tomul pentru grabă mare**⁸ chestionare pentru auto-evaluare și evidențierea noțiunilor ce mai trebuie studiate.

Subtitlurile arhaice sunt intenționate, pentru că tot mai cred că „*a învăța dintr-o carte cu creionul în mână*” este ceva învechit. Mă aștept ca studenții să citească din această carte pe un monitor mare, în care pot vedea două pagini alăturate (similar cu o carte pe hârtie, deschisă), având în față un caiet (sau o tabletă de scris) și un creion (clasic sau „pen”). Din acest motiv, în carte am preferat să pun link-uri de acces rapid în versiunea electronică și să evit să dau detalii despre anumite subiecte cu o relevanță scăzută dar ușor de descoperit pe Internet.

Versiunea actuală, 2025, aduce o structurare și o corelare a întregului subiect al electronicii digitale, oferind suport pentru curs, seminar, laborator și studiu individual pentru studenții de la specializările:

- Electronică aplicată
- Telecomunicații
- Calculatoare
- Automatică
- Tehnologia Informației

³**tom** = Fiecare dintre părțile unei lucrări, ale unei opere de proporții mai întinse, formând adesea o unitate independentă și purtând, de cele mai multe ori, un număr de ordine. Volum, carte, lucrare, operă. dexonline.ro

⁴**a zăbovi** = A lucra prea încet, a nu se grăbi. dexonline.ro

⁵**a chibzui** = A reflecta asupra unei situații cumpănind toate eventualitățile. A se gândi. dexonline.ro

⁶**a buchisi** = A citi sau a învăța ceva cu efort și cu mîgală. dexonline.ro

⁷**a meșteri** = A lucra, a munci (cu pricepere) pentru a realiza ceva. dexonline.ro

⁸**grabă mare** = Termen generat de ChatGPT ca un arhaism pentru „stare de urgență”.

Deși subtitlurile sunt arhaice, conținutul este redactat într-o formă ce s-a dovedit acceptată de generația actuală de studenți, obișnuită (și nevoită) să citească mai mult de pe monitor decât de pe hârtie: paragrafe și cuvinte **cheie** evidențiate cu galben, **avertizări** marcate cu roșu, link-uri la pagini web, recomandări ale  ChatGPT și multe încurajări... 😊. ⁹

Asemănările cu aplicațiile de socializare actuale sunt intenționate. 😞

Conceptul cărții este de a permite studenților, la finalul anului al doilea de studii, accesarea stagiilor de pregătire oferite de firme în domeniul hardware.

Fișierele necesare pentru efectuarea lucrărilor se află pe site-ul autorului, dannicula.ro.



Brașov, 2025.

Dan NICULA

»> CONTINUT

⁹Da, m-am gândit și la audio-book. Și la benzi desenate... 😊

Începutul învățaturii „Tomului pentru grabă mare”

Conținutul prezent în **Tomul pentru grabă mare**¹ a apărut prima oară în primăvara anului 2020, atunci când am fost nevoit să evaluez studenți online, „în regim de urgență”.

A fost o experiență tragică, din care totuși am învățat ceva. Anul 2020 a fost singurul an în care rezultatele studenților în sesiunea de toamnă au fost mai bune decât cele din sesiunea de vară. Pentru că studenții au fost mai bine pregătiți. Nu am spus că „știau mai multe”, ci că erau „mai bine pregătiți pentru succes la o examinare online”. Forma de examinare online poate fi mai ușor „abordată” dacă există suficient timp ca cineva să salveze într-un fișier toate întrebările și răspunsurile asociate. Examenul devine o chestiune de „find & match” contra-cronometru.

Anul 2020 a fost o experiență foarte utilă pentru a concluziona că „**asa nu**” se face evaluare.

La revenirea în sălile de curs, am constatat că studenții ar putea utiliza chestionarele pentru auto-evaluare.

La finalul scrierii primelor trei tomuri de suport pentru curs, seminar și laborator, mi-a venit ideea re-editării chestionarelor pentru a deveni „suport pentru lucru individual”.

Astfel, „**Tomul pentru grabă mare**” ar putea deveni „*Tomul pentru stat în tihnă*”² și revizuit materia înainte de examen, în ipoteza că s-au parcurs primele 3 tomuri:

Tomul pentru zăbovit și gândit

Tomul pentru chibzuit și buchisit

Tomul pentru meșterit și muncit

Pentru acest volum, capitolele sunt denumite „*Tematici*” pentru că în-

¹**grabă mare** = Termen generat de ChatGPT ca un arhaism pentru „stare de urgență”.

²**tihnă** = Liniște deplină; viață liniștită, lipsită de griji. dexonline.ro

trebările și răspunsurile sunt grupate puțin diferit față de capitolele de curs.

Prima tematică, „Aritmetică binară”, ar putea fi abordată pe baza cunoștințelor inițiale de matematică.

Ultima tematică are un titlu intenționat intrigant și adaptat pentru studenți: „Probleme pentru testat inteligența naturală/artificială” (citit actual ca „*intelență naturală slash* ³ *artificială*”).

Deși există mulți colegi profesori exasperați de atacul și răspândirea rapidă a aplicațiilor de inteligență artificială generativă, eu m-am decis să recomand studenților să studieze limitele actuale ale ChatGPT.

Astfel, un student va afla cum poate folosi AI, ⁴ la ce nu poate folosi AI și cum să **VE-RI-FI-CE** răspunsurile AI.

Recomandarea mea este de a utiliza chestionarele doar la finalul învățării, pentru a vă testa cunoștințele în tihnă. Nu vă bucurați vremelnic că ați nimerit răspunsul. Încercați să vedeți ideea rezolvării. De exemplu, la întrebarea „cum se reprezintă -37 în complement față de 2?” excludeți rapid răspunsurile combinațiilor binare care încep cu 0 (-37 este negativ, deci MSb ⁵ este 1) și cele care se termină cu 0 (-37 este număr impar, deci LSb ⁶ este 1).

Nu vă luați la întrecere cu ChatGPT!

Poate va mai greși. Însă va fi foarte rapid. Faceți o probă. I-am furnizat o imagine (nu doar text) preluată cu „print-screen” și a răspuns mai bine și mai rapid decât ar putea un student la o examinare orală.

Dar nu acesta este scopul chestionarelor. Încercați să utilizați „**Tomul pentru grabă mare**” în **tihnă**, pentru învățare.

În practică va trebui să vă descurcați (și) pe baza inteligenței naturale.



Brașov, 2025.

Dan NICULA

³**slash** = Semn grafic (și de punctuație) sub forma unei bare oblice având înălțimea unei litere majuscule. dexonline.ro

⁴**AI** = Nu, nu căutați în dexonline.ro. Nu este vorba de „usturoi”. Aici este prescurtarea de la „Inteligență Artificială” („*Artificial Intelligence*”, engl.).

⁵**MSb** = Cel mai semnificativ bit („*Most Significant bit*”, engl.).

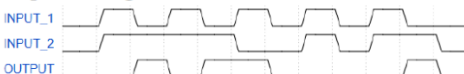
⁶**LSb** = Cel mai puțin semnificativ bit („*Least Significant bit*”, engl.).

≡

ChatGPT ▾

✎

Ce poartă logică descriu formele de undă?



A. AND
B. OR
C. XOR
D. XNOR

Care este răspunsul corect?

Pentru a determina ce poartă logică descrie formele de undă din imagine, comparăm INPUT_1 și INPUT_2 și vedem cum se comportă OUTPUT-ul în funcție de ele.

Observație:

- OUTPUT este 1 doar când INPUT_1 și INPUT_2 sunt diferite.
- OUTPUT este 0 când INPUT_1 și INPUT_2 sunt egale.

Asta este caracteristic pentru poarta XOR (Exclusiv SAU).

☐ Așadar, răspunsul corect este:

C. XOR ✓

Vrei să-ți explic mai detaliat cum funcționează XOR pe baza valorilor 0 și 1?

📄 👍 🗨️ 🔊 ↺ ▾

↓

Exemplu de utilizare ChatGPT pentru
găsirea răspunsurilor la chestionare.

Tematica 1

Aritmetică binară

1.1 Întrebări

BIN1	Orice număr ridicat la puterea zero este egal cu: A. zero B. unu C. acel număr D. zece
BIN2	2^{10} este egal cu: A. 256 B. 1000 C. 1024 D. 2048
BIN3	Ce reprezintă abrevierea MSb într-un sistem numeric? A. cifra din mijlocului șirului de cifre B. cifra din dreapta punctului zecimal C. cea mai din dreapta cifră D. cifra cu ponderea cea mai mare
BIN4	Valoarea binară 10010_2 corespunde valorii zecimale: A. 2_{10} B. 6_{10} C. 18_{10} D. 20_{10}
BIN5	Valoarea binară 10000110_2 corespunde valorii zecimale: A. 134_{10} B. 144_{10} C. 110_{10} D. 126_{10}

BIN6	Valoarea hexazecimală 16_{16} reprezintă în zecimal: A. 22_{10} B. 16_{10} C. 10_{10} D. 20_{10}
BIN7	Valoarea zecimală 187_{10} se reprezintă în binar: A. 1011_1011_2 B. 1101_1101_2 C. 1011_1101_2 D. 1011_1100_2
BIN8	Valoarea binară $1111_1111_0010_2$ se reprezintă în hexazecimal: A. $FE2_{16}$ B. $FF2_{16}$ C. $2FF_{16}$ D. $4FF_{16}$
BIN9	Valoarea binară 10_1011_2 se reprezintă în zecimal: A. 11_{10} B. 43_{10} C. 211_{10} D. 21011_{10}
BIN10	Valoarea binară 1001_0010_2 se reprezintă în zecimal: A. 18_{10} B. 49_{10} C. 92_{10} D. 146_{10}
BIN11	Valoarea hexazecimală $8B3F_{16}$ se reprezintă în binar: A. $1111_0011_1011_1000_2$ B. $1000_1000_0011_1111_2$ C. $1011_0011_1110_0011_2$ D. $1000_1011_0011_1111_2$
BIN12	Cea mai mare valoare posibil de reprezentat pe 7 biți este: A. 125 B. 126 C. 127 D. 128

BIN13	Ce biți se transmit în cazul unui sistem care adaugă un bit de paritate pară, la transmiterea numărului 7 în format BCD? A. 01110 B. 01111 C. 0111 D. oricare din cele menționate
BIN14	Ce biți se transmit în cazul unui sistem care adaugă un bit de paritate impară, la transmiterea numărului 8 în format BCD? A. 10000 B. 10001 C. 1000 D. oricare din variantele menționate
BIN15	Ce biți se transmit în cazul unui sistem care adaugă un bit de paritate pară, la transmiterea numărului binar 1110001? A. 11100011 B. 11100010 C. 11000111 D. 01000111
BIN16	Care este reprezentarea binară a numărului zecimal 64? A. 0110_0100₂ B. 0100_0000₂ C. 0011_0110₂ D. 0100_0110₂
BIN17	Care este reprezentarea binară a numărului hexazecimal C_{16}? A. 00_1100_0001₂ B. 0001_1000_0001₂ C. 000_1100_0001₂ D. 110_0001₂
BIN18	Care este numărul minim de biți pe care se poate reprezenta valoarea zecimală 100? A. 2 B. 3 C. 7 D. 100

BIN19	Care este numărul minim de biți pe care se poate reprezenta valoarea zecimală 1000? A. 8 B. 10 C. 11 D. nu se poate determina
BIN20	Care este numărul minim de biți cu care se pot coda 748 de valori diferite? A. 7 B. 8 C. 9 D. 10
BIN21	Care este reprezentarea în format BCD a valorii zecimale 347_{10}? A. $1100_0010_1110_{BCD}$ B. $0011_0100_0111_{BCD}$ C. $0111_0100_0011_{BCD}$ D. $1100_0100_0111_{BCD}$
BIN22	Rezultatul sumei reprezentate cu numere binare $11101 + 10111$ este: A. 110011_2 B. 100000_2 C. 110100_2 D. 100100_2
BIN23	Rezultatul sumei reprezentate cu numere binare $11101 + 10111$, reprezentat în baza 10 este: A. 34_{10} B. 52_{10} C. 110100_{10} D. 100100_{10}
BIN24	Converțiți valoarea binară 10011010_2 în zecimal: A. 153_{10} B. 154_{10} C. 156_{10} D. 158_{10}
BIN25	Converțiți valoarea zecimală 188_{10} în binar: A. 10111100_2 B. 0111000_2 C. 1100011_2 D. 1111000_2

BIN26	Converțiți valoarea zecimală 213_{10} în binar: A. 11001101_2 B. 11010101_2 C. 01111001_2 D. 11100011_2
BIN27	Converțiți valoarea zecimală 35_{10} în binar: A. 00010010_2 B. 00010011_2 C. 00100011_2 D. 00100010_2
BIN28	Rezultatul sumei reprezentate cu numere BCD $0011 + 0011$ este: A. 0110_{BCD} B. 0111_{BCD} C. 0011_{BCD} D. 1100_{BCD}
BIN29	Converțiți valoarea binară 01001110_2 în zecimal: A. $4E_{10}$ B. 78_{10} C. 76_{10} D. 116_{10}
BIN30	Converțiți valoarea binară 1100101000110101_2 în hexazecimal: A. 121035_{16} B. $CA35_{16}$ C. $53AC1_{16}$ D. 530121_{16}
BIN31	Converțiți valoarea binară 11001111_2 în hexazecimal: A. $8F_{16}$ B. CE_{16} C. DF_{16} D. CF_{16}
BIN32	Converțiți valoarea hexazecimală $C9_{16}$ în binar: A. 10111001_2 B. 10111011_2 C. 10011100_2 D. 11001001_2
BIN33	Converțiți valoarea zecimală 125_{10} în hexazecimal: A. $7D_{16}$ B. $D7_{16}$ C. $7C_{16}$ D. $C7_{16}$

BIN34	Converțiți valoarea zecimală 11_{10} în BCD: A. 00001011_{BCD} B. 00001100_{BCD} C. 00010001_{BCD} D. 00010010_{BCD}
BIN35	Reprezentați în zecimal rezultatul sumei numerelor binare $1011 + 0011$: A. 1110_{10} B. 1014_{10} C. 14_{10} D. 133_{10}
BIN36	Reprezentați în zecimal numărul hexazecimal 666_{16}: A. 999_{10} B. 696_{10} C. 1638_{10} D. 666_{10}
BIN37	Reprezentați în zecimal numărul hexazecimal 777_{16}: A. 1911_{10} B. 777_{10} C. 911_{10} D. $7AB_{10}$
BIN38	Reprezentați în binar rezultatul sumei numerelor zecimale $49 + 10$: A. 1011001_2 B. 59_2 C. 101_1001_2 D. 111011_2
BIN39	Care este numărul minim de cifre hexazecimale pe care se poate reprezenta valoarea binară $1_1101_0110_0011_1010_2$? A. 3 B. 4 C. 5 D. 6
BIN40	Ce combinație binară nu este un cod BCD valid? A. 0011_2 B. 1101_2 C. 0101_2 D. 1001_2

BIN41	Care este codul BCD al numărului zecimal 127? A. 011100100001_{BCD} B. 111010001_{BCD} C. 001010111_{BCD} D. 000100100111_{BCD}
BIN42	Care este codul BCD al numărului zecimal 469? A. 100101101000_{BCD} B. 010001101001_{BCD} C. 100001101001_{BCD} D. 100101100100_{BCD}
BIN43	Care este complementul față de 2 al numărului binar 10011101₂? A. 01100001_{C2} B. 10011100_{C2} C. 01100010_{C2} D. 01100011_{C2}
BIN44	Care este complementul față de 2 al numărului binar 11100111₂? A. 11100110_{C2} B. 00011001_{C2} C. 00011000_{C2} D. 00011010_{C2}
BIN45	Care este exprimarea în complement față de 2 a numărului zecimal -37? A. 10100101_{C2} B. 00100101_{C2} C. 11011011_{C2} D. 11010001_{C2}
BIN46	Care este exprimarea în mărime și semn a numărului zecimal -37? A. 10100101_{MS} B. 00100101_{MS} C. 11011011_{MS} D. 11010001_{MS}
BIN47	Care este cel mai mare număr fără semn care se poate reprezenta pe 6 biți? A. 63 B. 64 C. 127 D. 128

BIN48	Care este cel mai mare număr întreg care se poate reprezenta pe 6 biți, în complement față de 2? A. 31 B. 32 C. 63 D. 64
BIN49	Care este cel mai mic număr întreg care se poate reprezenta pe 6 biți, în complement față de 2? A. -32 B. -31 C. 31 D. 32
BIN50	Care este rezultatul operației $-11+(-2)$ cu numere reprezentate pe 8 biți, în complement față de 2? A. $1110_1101 _{C2}$ B. $1111_1001 _{C2}$ C. $1111_0011 _{C2}$ D. $1110_1001 _{C2}$
BIN51	Care sunt rezultatele operațiilor cu numere hexazecimale $3C _{16} + 25 _{16}$, $14 _{16} + 28 _{16}$, $3B _{16} + DC _{16}$? A. $60 _{16}$, $3C _{16}$, $116 _{16}$ B. $62 _{16}$, $3C _{16}$, $118 _{16}$ C. $61 _{16}$, $3C _{16}$, $117 _{16}$ D. $61 _{16}$, $3D _{16}$, $117 _{16}$
BIN52	Se consideră suma următoarelor numere în reprezentare complement față de 2: $11110010 _{C2} + 11110011 _{C2}$. Determinați reprezentarea în zecimal a celor două numere și a sumei. A. $(-113) + (-114) = -227$ B. $(-14) + (-13) = -27$ C. $(-11) + (-16) = -27$ D. $(-27) + (-13) = -40$
BIN53	Numerele reprezentate în complement față de 2: $00000101 _{C2}$, $11111100 _{C2}$ și $11111000 _{C2}$ sunt echivalente în zecimal cu: A. -5, +4 și +8 B. +5, -4 și -8 C. +5, +252 și +248 D. +5, -252 și -248

BIN54	Care este domeniul de reprezentare a numerelor în complement față de 2 pe 8 biți? A. [-128 ... +128] B. [-128 ... +127] C. [-127 ... +127] D. [-127 ... +128]
BIN55	Care este complementul față de 2 al valorii binare 00001111 ₂ ? A. 11111111 _{C2} B. 11110000 _{C2} C. 11110001 _{C2} D. 11110111 _{C2}
BIN56	Care este complementul față de 2 al valorii zecimale -9? A. 11110111 _{C2} B. 11111001 _{C2} C. 11110110 _{C2} D. 01111101 _{C2}

1.2 Răspunsuri

BIN1	B
BIN2	C
BIN3	D
BIN4	C
BIN5	A
BIN6	A
BIN7	A
BIN8	B
BIN9	B
BIN10	D
BIN11	D
BIN12	C
BIN13	B
BIN14	A
BIN15	B
BIN16	B
BIN17	A
BIN18	C
BIN19	B
BIN20	D
BIN21	B
BIN22	C
BIN23	B
BIN24	B
BIN25	A
BIN26	B
BIN27	C
BIN28	A
BIN29	B
BIN30	B
BIN31	D
BIN32	D
BIN33	A
BIN34	C
BIN35	C
BIN36	C
BIN37	A
BIN38	D
BIN39	C
BIN40	B

BIN41	D
BIN42	B
BIN43	D
BIN44	B
BIN45	C
BIN46	A
BIN47	A
BIN48	A
BIN49	A
BIN50	C
BIN51	C
BIN52	B
BIN53	B
BIN54	B
BIN55	C
BIN56	A

Tematica 2

Porți logice

2.1 Întrebări

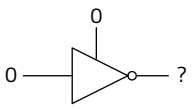
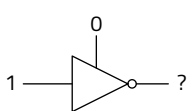
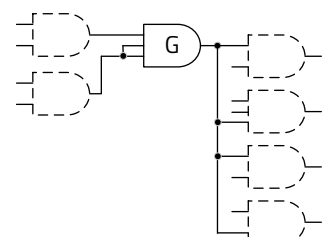
GATE1	Cum se numește domeniul de tensiuni dintre V_{IL} și V_{IH} ? A. domeniul necunoscut B. domeniul ne-necesar C. domeniul interzis D. amplitudine logică
GATE2	Cum se numește domeniul de tensiuni dintre V_{OL} și V_{OH} ? A. domeniul necunoscut B. domeniul ne-necesar C. domeniul interzis D. amplitudine logică
GATE3	Cum se definește marginea de zgomot? A. $V_{OH} - V_{IH}$ B. $V_{OL} - V_{IL}$ C. $\min(V_{OH} - V_{IH}, V_{OL} - V_{IL})$ D. $\max(V_{OH} - V_{IH}, V_{OL} - V_{IL})$
GATE4	Care este frecvența unui semnal cu perioada de 15 ms? A. 6.66 Hz B. 66.66 Hz C. 666.66 Hz D. 15 Hz

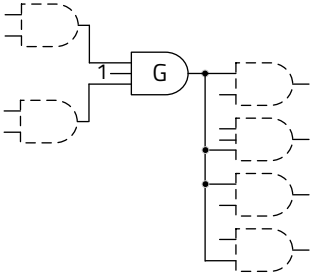
GATE5	Ieșirea unei porți OR este 0 dacă... A. toate intrările sunt 0 B. orice intrare este 0 C. toate intrările sunt 1 D. orice intrare este 1
GATE6	Ieșirea unei porți AND este 1 dacă... A. toate intrările sunt 0 B. orice intrare este 0 C. toate intrările sunt 1 D. orice intrare este 1
GATE7	O poartă NOR cu 3 intrări are 8 combinații de intrare. Dintre acestea, pentru câte combinații ieșirea porții este 1? A. 1 B. 2 C. 5 D. 6
GATE8	O poartă XOR cu 3 intrări are 8 combinații de intrare. Dintre acestea, pentru câte combinații ieșirea porții este 1? A. 1 B. 2 C. 4 D. 6
GATE9	O poartă NAND cu 3 intrări are 8 combinații de intrare. Dintre acestea, pentru câte combinații ieșirea porții este 1? A. 1 B. 2 C. 4 D. 7
GATE10	Care este poarta logică, dacă un semnal de la intrarea unei porți logice este blocat în cazul în care cealaltă intrare este conectată la 0, iar ieșirea porții este în 1? A. AND B. NAND C. NOR D. OR

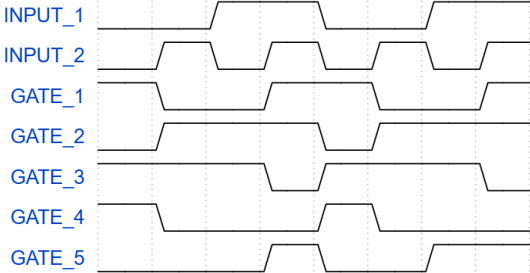
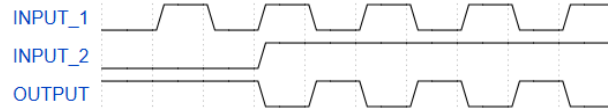
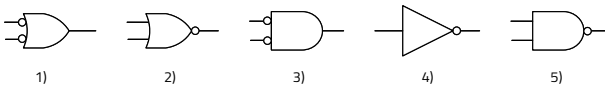
GATE11	Care este poarta logică, dacă un semnal de la intrarea unei porți logice este blocat în cazul în care cealaltă intrare este conectată la 1, iar ieșirea porții este în 1? A. AND B. NAND C. NOR D. OR
GATE12	Care este poarta logică, dacă un semnal de la intrarea unei porți logice este transmis negat prin poartă în cazul în care cealaltă intrare este conectată la 0 și este transmis ne-negat în cazul în care cealaltă intrare este conectată la 1? A. AND B. XOR C. XNOR D. OR
GATE13	Care este poarta logică, dacă un semnal de la intrarea unei porți logice este transmis negat prin poartă în cazul în care cealaltă intrare este conectată la 1 și este transmis ne-negat în cazul în care cealaltă intrare este conectată la 0? A. AND B. XOR C. XNOR D. OR
GATE14	Ce funcție logică implementează suma aritmetică a 2 biți? A. AND B. XOR C. XNOR D. OR
GATE15	Ieșirea unei porți logice AND este 0 dacă: A. toate intrările sunt 1 B. orice intrare este 1 C. toate intrările sunt 0 D. orice intrare este 0
GATE16	Ieșirea unei porți logice NOR este 1 dacă: A. toate intrările sunt 1 B. orice intrare este 1 C. toate intrările sunt 0 D. orice intrare este 0

GATE17	Ieșirea unei porți NAND este 1 dacă: A. toate intrările sunt 0 B. orice intrare este 0 C. toate intrările sunt 1 D. orice intrare este 1
GATE18	Ieșirea unei porți XOR este 1 dacă: A. toate intrările sunt 1 B. un număr par de intrări sunt 1 C. un număr impar de intrări sunt 1 D. orice intrare este 1
GATE19	Ce poartă logică poate fi folosită pentru a trece valoarea unei alte intrări, uneori neschimbată și alte ori complementată? A. AND B. OR C. XOR D. NAND
GATE20	Timpul de creștere a unui semnal este definit ca timpul în care semnalul ajunge... A. de la nivelul de „0” logic la nivelul de „1” logic B. de la 10% din amplitudinea sa la nivelul de „1” logic C. de la nivelul de „0” logic la 90% din amplitudinea sa D. de la 10% la 90% din amplitudinea sa
GATE21	Timpul de creștere a unui puls este măsurat între... A. nivelul de 0% și 100% din amplitudine B. nivelul de 10% și 90% din amplitudine C. nivelul de 20% și 80% din amplitudine D. nivelul de 50% al frontului crescător și nivelul de 50% al frontului descrescător
GATE22	Timpul de propagare t_{PLH} se definește ca fiind timpul în care semnalul... A. de la intrarea unui inversor comută din Low în High B. de la ieșirea unui inversor comută din Low în High C. se propagă de la intrare la ieșire când intrarea comută din Low în High D. se propagă de la intrare la ieșire când ieșirea comută din Low în High
GATE23	Cum se definește noțiunea de „fan-out”? A. numărul de ieșiri ale unei porți logice B. numărul de intrări de porți logice de același tip care pot fi comandate de o ieșire C. curentul de ieșire al unei porți logice D. tensiunea pe ieșirea unei porți logice

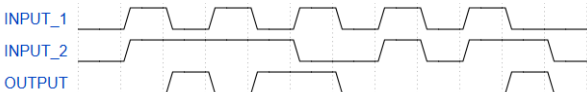
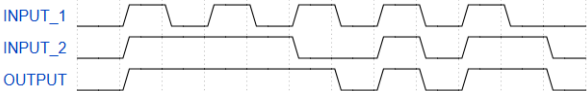
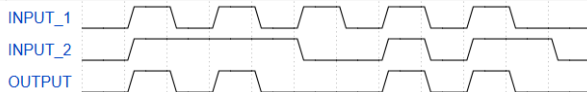
GATE24	Tensiunea la ieșirea unei porți logice aflate în stare de înaltă impedanță este... A. tensiunea asociată stării logice 0 B. tensiunea asociată stării logice 1 C. infinită D. determinată de circuitul exterior porții
GATE25	Tensiunea la ieșirea unei porți în 3 stări, conectate ca în figură, este... A. tensiunea asociată stării logice 0 B. tensiunea asociată stării logice 1 C. infinită D. determinată de circuitul exterior porții
GATE26	Tensiunea la ieșirea unei porți în 3 stări, conectate ca în figură, este... A. tensiunea asociată stării logice 0 B. tensiunea asociată stării logice 1 C. infinită D. determinată de circuitul exterior porții

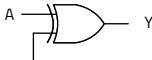
GATE27	Tensiunea la ieșirea unei porți în 3 stări, conectate ca în figură, este...  A. tensiunea asociată stării logice 0 B. tensiunea asociată stării logice 1 C. infinită D. determinată de circuitul exterior porții
GATE28	Tensiunea la ieșirea unei porți în 3 stări, conectate ca în figură, este...  A. tensiunea asociată stării logice 0 B. tensiunea asociată stării logice 1 C. infinită D. determinată de circuitul exterior porții
GATE29	Poarta G din figură are...  A. fan-in = 2 și fan-out = 3 B. fan-in = 3 și fan-out = 1 C. fan-in = 2 și fan-out = 4 D. fan-in = 3 și fan-out = 4

GATE30	Poarta G din figură are...  A. fan-in = 2 și fan-out = 3 B. fan-in = 3 și fan-out = 1 C. fan-in = 2 și fan-out = 4 D. fan-in = 3 și fan-out = 4
GATE31	Care este factorul de umplere al unui semnal rectangular? A. 10% B. 25% C. 50% D. 100%
GATE32	Ce funcție logică realizează poarta logică prezentată?  A. AND B. OR C. NAND D. NOR
GATE33	Cu ce este echivalentă o poartă NAND cu două intrări conectate între ele? A. poartă OR B. poartă AND C. poartă NOT D. niciuna

GATE34	Cum se poate realiza funcția NAND cu 2 intrări având la dispoziție o poarta NAND cu 3 intrări? A. se conectează una din intrări la masă B. se conectează una din intrări la tensiunea de alimentare C. se conectează intrările între ele D. nu se poate realiza
GATE35	Asociați formele de undă cu porțile corespunzătoare.  A. OR B. NOR C. XNOR D. NAND E. EROARE
GATE36	Cărei porți logice cu două intrări îi corespunde forma de undă?  A. XOR B. NOR C. NAND D. AND
GATE37	Care din porțile 1, 2, 3, 4 este echivalentă cu poarta 5?  A. 1 B. 2 C. 3 D. 4

GATE38	O poartă logică XOR cu o intrare conectată la 1, va funcționa ca... A. o poartă OR B. un inversor C. o poartă AND D. o poartă XNOR
GATE39	O poartă logică AND cu două intrări, din care una conectată la 1, va fi... A. blocată și va transmite la ieșire 0 B. deschisă și va transmite la ieșire cealaltă intrare C. deschisă și va transmite la ieșire cealaltă intrare negată D. blocată și va transmite la ieșire 1
GATE40	O poartă logică OR cu două intrări, din care una conectată la 1, va fi... A. blocată și va transmite la ieșire 0 B. deschisă și va transmite la ieșire cealaltă intrare C. deschisă și va transmite la ieșire cealaltă intrare negată D. blocată și va transmite la ieșire 1
GATE41	O poartă logică AND cu două intrări, din care una conectată la 0, va fi... A. blocată și va transmite la ieșire 0 B. deschisă și va transmite la ieșire cealaltă intrare C. deschisă și va transmite la ieșire cealaltă intrare negată D. blocată și va transmite la ieșire 1
GATE42	O poartă logică OR cu două intrări, din care una conectată la 0, va fi... A. blocată și va transmite la ieșire 0 B. deschisă și va transmite la ieșire cealaltă intrare C. deschisă și va transmite la ieșire cealaltă intrare negată D. blocată și va transmite la ieșire 1

GATE43	O poartă logică XOR cu două intrări, din care una conectată la 0, va fi... A. blocată și va transmite la ieșire 0 B. deschisă și va transmite la ieșire cealaltă intrare C. deschisă și va transmite la ieșire cealaltă intrare negată D. blocată și va transmite la ieșire 1
GATE44	O poartă logică XOR cu două intrări, din care una conectată la 1, va fi... A. blocată și va transmite la ieșire 0 B. deschisă și va transmite la ieșire cealaltă intrare C. deschisă și va transmite la ieșire cealaltă intrare negată D. blocată și va transmite la ieșire 1
GATE45	Ce poartă logică descriu formele de undă?  A. AND B. OR C. XOR D. XNOR
GATE46	Ce poartă logică descriu formele de undă?  A. AND B. OR C. XOR D. niciuna
GATE47	Ce poartă logică descriu formele de undă?  A. AND B. OR C. XOR D. niciuna

GATE48	Pentru circuitul din figură, ieșirea Y este tot timpul...  A. 1 B. 0 C. A D. $\overline{A}$																																			
GATE49	Numărul de porți de același fel posibil de condus de către o poartă logică este determinat de... A. tensiunea de alimentare B. marginea de zgomot C. fan-in D. fan-out																																			
GATE50	Asociați coloanele de ieșire din tabelul de adevăr prezentat cu funcțiile logice. <table><tr><th>A</th><th>B</th><th>F1</th><th>F2</th><th>F3</th><th>F4</th><th>F5</th></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td><td>1</td><td>0</td></tr></table> A. OR B. NOR C. AND D. NAND E. XOR	A	B	F1	F2	F3	F4	F5	0	0	1	0	1	0	0	0	1	1	0	0	1	1	1	0	1	0	0	1	1	1	1	0	1	0	1	0
A	B	F1	F2	F3	F4	F5																														
0	0	1	0	1	0	0																														
0	1	1	0	0	1	1																														
1	0	1	0	0	1	1																														
1	1	0	1	0	1	0																														

2.2 Răspunsuri

GATE1	C
GATE2	D
GATE3	C
GATE4	B
GATE5	A
GATE6	C
GATE7	A
GATE8	C
GATE9	D
GATE10	B
GATE11	D
GATE12	C
GATE13	B
GATE14	B
GATE15	D
GATE16	C
GATE17	B
GATE18	C
GATE19	C
GATE20	D
GATE21	B
GATE22	D
GATE23	B
GATE24	D
GATE25	A
GATE26	B
GATE27	D
GATE28	D
GATE29	C
GATE30	C
GATE31	C
GATE32	D
GATE33	C
GATE34	B
GATE35	A = GATE_2 B = GATE_4 C = GATE_1 D = GATE_3 E = GATE_5
GATE36	C

GATE37	A
GATE38	B
GATE39	B
GATE40	D
GATE41	A
GATE42	B
GATE43	B
GATE44	C
GATE45	C
GATE46	B
GATE47	A
GATE48	C
GATE49	D
GATE50	A = F4 B = F3 C = F2 D = F1 E = F5

Tematica 3

Funcții logice

3.1 Întrebări

FCT1	Determinați valorile lui A, B, C, D pentru care: $\overline{A} + B + \overline{C} + D = 0$ A. A = 1, B = 0, C = 0, D = 0 B. A = 1, B = 0, C = 1, D = 0 C. A = 0, B = 1, C = 0, D = 0 D. A = 1, B = 0, C = 1, D = 1
FCT2	Determinați valorile lui A, B, C, D pentru care: $\overline{A} \cdot B \cdot \overline{C} \cdot D = 1$ A. A = 0, B = 1, C = 0, D = 1 B. A = 0, B = 0, C = 0, D = 1 C. A = 1, B = 1, C = 1, D = 1 D. A = 0, B = 0, C = 1, D = 0
FCT3	Care din următoarele expresii este sub forma de „sumă de produse” (SOP)? A. $(A + B) \cdot (C + D)$ B. $(A \cdot B) \cdot (C \cdot D)$ C. $A \cdot B \cdot (C \cdot D)$ D. $A \cdot B + C \cdot D$
FCT4	Care din expresiile prezentate nu se mai poate simplifica? A. $\overline{A} \cdot B + A \cdot \overline{C} + \overline{B} \cdot C$ B. $\overline{A} \cdot B \cdot (A \cdot \overline{C} + C)$ C. $\overline{A} \cdot B + A \cdot B + \overline{A} \cdot C$ D. $\overline{A} \cdot \overline{B} \cdot (B + C)$

FCT5	Deduceți funcția logică în format SOP a ieșirii X descrise de tabelul de adevăr prezentat. <table><tr><th colspan="3">Inputs</th><th>Output</th></tr><tr><th>A</th><th>B</th><th>C</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td></tr></table> A. $X = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + A \cdot B \cdot \overline{C}$ B. $X = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C}$ C. $X = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C}$ D. $X = \overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot B \cdot \overline{C}$	Inputs			Output	A	B	C	X	0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	1	1	0	0	0	1	0	1	0	1	1	0	1	1	1	1	0
Inputs			Output																																						
A	B	C	X																																						
0	0	0	0																																						
0	0	1	1																																						
0	1	0	0																																						
0	1	1	1																																						
1	0	0	0																																						
1	0	1	0																																						
1	1	0	1																																						
1	1	1	0																																						
FCT6	Deduceți funcția logică în format SOP a ieșirii X descrise de tabelul de adevăr prezentat. <table><tr><th colspan="3">Inputs</th><th>Output</th></tr><tr><th>A</th><th>B</th><th>C</th><th>X</th></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td></tr></table> A. $X = A \cdot B \cdot C + A \cdot B \cdot \overline{C}$ B. $X = A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$ C. $X = \overline{A} \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$ D. niciuna	Inputs			Output	A	B	C	X	0	0	0	0	0	0	1	1	0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	0	1	1	0	1	1	1	1	0
Inputs			Output																																						
A	B	C	X																																						
0	0	0	0																																						
0	0	1	1																																						
0	1	0	0																																						
0	1	1	0																																						
1	0	0	0																																						
1	0	1	0																																						
1	1	0	1																																						
1	1	1	0																																						
FCT7	Teorema lui De Morgan statuează că $\overline{X + Y} = \overline{X} \cdot \overline{Y}$. Rezultă de aici că nu există nicio diferență logică între: A. o poartă NOR și o poartă AND cu intrări inversate B. o poartă NAND și o poartă OR cu intrări inversate C. o poartă AND și o poartă NOR cu intrări inversate D. o poartă NOR și o poartă NAND cu intrări inversate																																								

FCT8	Prin aplicarea teoremei lui De Morgan expresiei $\overline{A \cdot B \cdot C}$ se obține: A. $\overline{A} + \overline{B} + \overline{C}$ B. $\overline{A + B + C}$ C. $\overline{\overline{A} + \overline{B} + \overline{C}}$ D. $\overline{\overline{A} \cdot \overline{B} \cdot \overline{C}}$
FCT9	Prin aplicarea teoremei lui De Morgan expresiei $\overline{(X + Y) + \overline{Z}}$ se obține: A. $(X + Y) \cdot Z$ B. $(\overline{X} + \overline{Y}) \cdot Z$ C. $(X + Y) \cdot \overline{Z}$ D. $(\overline{X} + \overline{Y}) \cdot \overline{Z}$
FCT10	Prin aplicarea teoremei lui De Morgan expresiei $\overline{(W + X + Y) \cdot \overline{Z}}$ se obține: A. $\overline{W} \cdot \overline{X} \cdot \overline{Y} \cdot \overline{Z}$ B. $\overline{(W \cdot X \cdot Y)} \cdot Z$ C. $\overline{W} \cdot \overline{X} \cdot \overline{Y} \cdot \overline{\overline{Z}}$ D. $\overline{W} \cdot \overline{X} \cdot \overline{Y} + \overline{Z}$
FCT11	Prin aplicarea teoremei lui De Morgan expresiei $\overline{(A \cdot \overline{B}) + (\overline{A} \cdot C)}$ se obține: A. $A + \overline{C}$ B. $A \cdot B + \overline{A} \cdot \overline{C}$ C. $A \cdot \overline{B} \cdot (\overline{A} + C)$ D. $(\overline{A} + B) \cdot (A + \overline{C})$
FCT12	Care este numărul de 1 din tabelul de adevăr asociat funcției $X = A \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot B \cdot \overline{C}$? A. 1 B. 2 C. 3 D. 5
FCT13	Care este numărul de combinații de intrare prezente în tabelul de adevăr asociat funcției $X = A \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot B \cdot \overline{C}$? A. 1 B. 2 C. 4 D. 8

FCT14	Care este numărul de porți logice necesare pentru implementarea funcției $X \cdot Y + X \cdot (X + Z) + Y \cdot (X + Z)$ fără a o simplifica? A. 1 B. 2 C. 4 D. 5
FCT15	Care este numărul de porți logice necesare pentru implementarea funcției $X \cdot Y + X \cdot (X + Z) + Y \cdot (X + Z)$ după simplificare? A. 1 B. 2 C. 4 D. 5
FCT16	Expresia $A \cdot C + A \cdot B \cdot C = A \cdot C...$ A. este întotdeauna ADEVĂRATĂ B. este întotdeauna FALSĂ C. are o valoare de adevăr dependentă de valorile A, B, C D. este ADEVĂRATĂ pentru anumite valori ale lui A, B, C
FCT17	Expresa $A \cdot C + \bar{A} \cdot C + \bar{A} \cdot B = C + \bar{A} \cdot B \cdot \bar{C}...$ A. este întotdeauna ADEVĂRATĂ B. este întotdeauna FALSĂ C. are o valoare de adevăr dependentă de valorile A, B, C D. este ADEVĂRATĂ pentru anumite valori ale lui A, B, C
FCT18	Dacă la intrarea unei porți NAND sunt variabilele $\bar{A}$ și $\bar{B}$, conform teoremei lui De Morgan, expresia funcției logice implementate este echivalentă cu... A. $X = A + B$ B. $X = \bar{A} \cdot \bar{B}$ C. $X = A \cdot B$ D. $X = A \cdot \bar{B}$
FCT19	Determinați expresia minimă a funcției $F = A \cdot B \cdot D + C \cdot D + A \cdot C \cdot D + A \cdot B \cdot C + A \cdot B \cdot C \cdot D.$ A. $F = A \cdot B \cdot D + A \cdot B \cdot C + C \cdot D$ B. $F = C \cdot D + A \cdot D$ C. $F = B \cdot C + A \cdot B$ D. $F = A \cdot C + A \cdot D$

FCT20	Funcția logică $X = \overline{A} + \overline{B} + \overline{C}$ poate fi implementată cu o singură poartă... A. NAND B. NOR C. XOR D. OR
FCT21	Expresia $A \cdot (B + \overline{C} + \overline{D})$ este echivalentă cu... A. $A \cdot B + A \cdot C + A \cdot D$ B. $A \cdot B \cdot \overline{C} \cdot \overline{D}$ C. $A + B + C + D$ D. $A \cdot B + A \cdot \overline{C} + A \cdot \overline{D}$
FCT22	Care din următoarele nu formează o suprafață într-o diagramă V-K? A. căsuțe aflate pe colțurile aceluiași rând B. căsuțe aflate pe colțurile aceleiași coloane C. căsuțe aflate pe diagonală D. căsuțe acoperite de o altă suprafață
FCT23	Forma canonică a expresiei $\overline{A} \cdot B + A \cdot C$ este... A. $\overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot C$ B. $\overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot C$ C. $\overline{A} \cdot \overline{B} \cdot C + \overline{A} \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C}$ D. $\overline{A} \cdot \overline{B} \cdot C + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$
FCT24	Expresia $C + \overline{C} \cdot D$ se reduce la... A. C B. D C. $C + D$ D. 1
FCT25	Expresia $A \cdot \overline{B} \cdot (A + \overline{B})$ se reduce la... A. $\overline{A} \cdot \overline{B} + A \cdot \overline{B}$ B. $\overline{A} \cdot B$ C. $A \cdot \overline{B} + \overline{A} \cdot B$ D. $A \cdot \overline{B}$
FCT26	Pe baza teoremei lui De Morgan, expresia $\overline{\overline{A} \cdot \overline{B} + C}$ se reduce la... A. $\overline{\overline{A} \cdot \overline{B}} + C$ B. $A \cdot B \cdot \overline{C}$ C. $A \cdot B + \overline{C}$ D. $(A + B) \cdot C$

FCT27

Diagrama V-K asociată funcției

 $f = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{A} \cdot B \cdot \overline{C} + \overline{A} \cdot B \cdot C + A \cdot B \cdot \overline{C}$ este...

		C	
		0	1
A \ B	00		
	01	1	1
	11		1
	10	1	

A.

		C	
		0	1
A \ B	00	1	
	01	1	1
	11	1	
	10		

B.

		C	
		0	1
A \ B	00		1
	01		
	11	1	1
	10	1	1

C.

		C	
		0	1
A \ B	00	1	1
	01		
	11		1
	10	1	

D.

FCT28

Precizați indecșii căsuțelor vecine cu căsuța 7, într-o diagramă V-K de 4 intrări.

A. 5, 6, 8, 9

B. 3, 5, 6, 14

C. 3, 5, 6, 15

D. 1, 2, 13, 14

FCT29

Diagrama V-K asociată funcției

$$f = A \cdot B \cdot C \cdot \overline{D} + \overline{A} \cdot \overline{B} \cdot C \cdot D + A \cdot \overline{B} \cdot \overline{C} \cdot D + \overline{A} \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$$
 este...

		C			
		00	01	11	10
A	00	1			
	01			1	
	11		1		
	10				1

D

A.

		C			
		00	01	11	10
A	00	1		1	
	01				
	11				1
	10		1		

D

B.

		C			
		00	01	11	10
A	00		1		
	01				1
	11	1		1	
	10				

D

C.

		C			
		00	01	11	10
A	00		1		1
	01				
	11		1		
	10				1

D

D.

FCT30	Ce funcție logică descrie tabelul de adevăr? <table><tr><td>A</td><td>B</td><td>X</td></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table> A. AND B. OR C. NAND D. NOR	A	B	X	0	0	1	0	1	0	1	0	0	1	1	0																																																																																	
A	B	X																																																																																															
0	0	1																																																																																															
0	1	0																																																																																															
1	0	0																																																																																															
1	1	0																																																																																															
FCT31	Care diagramă V-K corespunde funcției $X = A \cdot C + B \cdot C + B$? <table><tr><td></td><td></td><td>C</td><td></td></tr><tr><td></td><td>C</td><td>0</td><td>1</td></tr><tr><td>AB</td><td>00</td><td>1</td><td>1</td></tr><tr><td></td><td>01</td><td>1</td><td>1</td></tr><tr><td>A</td><td>11</td><td></td><td></td></tr><tr><td></td><td>10</td><td></td><td></td></tr></table> 1) <table><tr><td></td><td></td><td>C</td><td></td></tr><tr><td></td><td>C</td><td>0</td><td>1</td></tr><tr><td>AB</td><td>00</td><td></td><td>1</td></tr><tr><td></td><td>01</td><td></td><td></td></tr><tr><td>A</td><td>11</td><td>1</td><td>1</td></tr><tr><td></td><td>10</td><td>1</td><td>1</td></tr></table> 2) <table><tr><td></td><td></td><td>C</td><td></td></tr><tr><td></td><td>C</td><td>0</td><td>1</td></tr><tr><td>AB</td><td>00</td><td></td><td></td></tr><tr><td></td><td>01</td><td>1</td><td>1</td></tr><tr><td>A</td><td>11</td><td>1</td><td>1</td></tr><tr><td></td><td>10</td><td></td><td>1</td></tr></table> 3) <table><tr><td></td><td></td><td>C</td><td></td></tr><tr><td></td><td>C</td><td>0</td><td>1</td></tr><tr><td>AB</td><td>00</td><td>1</td><td>1</td></tr><tr><td></td><td>01</td><td></td><td>1</td></tr><tr><td>A</td><td>11</td><td></td><td>1</td></tr><tr><td></td><td>10</td><td>1</td><td>1</td></tr></table> 4) A. 1 B. 2 C. 3 D. 4			C			C	0	1	AB	00	1	1		01	1	1	A	11				10					C			C	0	1	AB	00		1		01			A	11	1	1		10	1	1			C			C	0	1	AB	00				01	1	1	A	11	1	1		10		1			C			C	0	1	AB	00	1	1		01		1	A	11		1		10	1	1
		C																																																																																															
	C	0	1																																																																																														
AB	00	1	1																																																																																														
	01	1	1																																																																																														
A	11																																																																																																
	10																																																																																																
		C																																																																																															
	C	0	1																																																																																														
AB	00		1																																																																																														
	01																																																																																																
A	11	1	1																																																																																														
	10	1	1																																																																																														
		C																																																																																															
	C	0	1																																																																																														
AB	00																																																																																																
	01	1	1																																																																																														
A	11	1	1																																																																																														
	10		1																																																																																														
		C																																																																																															
	C	0	1																																																																																														
AB	00	1	1																																																																																														
	01		1																																																																																														
A	11		1																																																																																														
	10	1	1																																																																																														
FCT32	Precizați indecșii căsuțelor vecine cu căsuța 6, într-o diagramă V-K de 4 intrări. A. 2, 3, 7, 14 B. 2, 4, 7, 14 C. 2, 5, 7, 14 D. 3, 15, 0, 12																																																																																																

FCT33	Determinați funcția logică reprezentată în diagrama V-K. A. $A \cdot C \cdot \overline{D} + \overline{B} \cdot C \cdot \overline{D} + \overline{C} \cdot D$ B. $A \cdot B \cdot \overline{D} + \overline{B} \cdot \overline{C} \cdot D + \overline{C} \cdot D$ C. $\overline{A} \cdot C \cdot \overline{D} + B \cdot \overline{C} \cdot \overline{D} + \overline{B} \cdot \overline{D}$ D. $\overline{A} \cdot B \cdot \overline{D} + A \cdot \overline{C} \cdot D + C \cdot D$
FCT34	Precizați indecșii căsuțelor vecine cu căsuța 0, într-o diagramă V-K de 5 intrări. A. 1, 2, 3, 4, 5 B. 1, 2, 4, 9, 16 C. 2, 4, 8, 16, 31 D. 1, 2, 4, 8, 16
FCT35	Precizați indecșii căsuțelor vecine cu căsuța 0, într-o diagramă V-K de 6 intrări. A. 1, 2, 3, 4, 5, 6 B. 1, 2, 4, 8, 16, 32 C. 2, 4, 8, 16, 32, 63 D. 1, 2, 4, 8, 16, 24

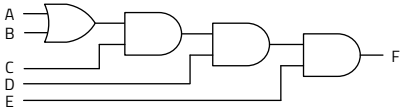
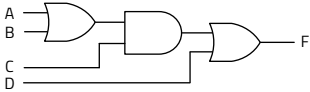
3.2 Răspunsuri

FCT1	B
FCT2	A
FCT3	D
FCT4	A
FCT5	D
FCT6	C
FCT7	A
FCT8	A
FCT9	A
FCT10	D
FCT11	D
FCT12	C
FCT13	D
FCT14	D
FCT15	B
FCT16	A
FCT17	A
FCT18	A
FCT19	A
FCT20	A
FCT21	D
FCT22	C
FCT23	B
FCT24	C
FCT25	D
FCT26	B
FCT27	B
FCT28	C
FCT29	B
FCT30	D
FCT31	C
FCT33	B
FCT31	A
FCT34	D
FCT35	B

Tematica 4

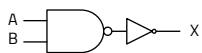
Circuite logice combinaționale

4.1 Întrebări

CLC1	Deduceți funcția logică implementată de circuitul prezentat.  A. $F(A, B, C, D, E) = C \cdot (A + B) \cdot D \cdot E$ B. $F(A, B, C, D, E) = C \cdot (A + B) \cdot D + E$ C. $F(A, B, C, D, E) = (A \cdot B) + C + D + E$ D. $F(A, B, C, D, E) = A \cdot B \cdot C \cdot D \cdot E$
CLC2	Deduceți funcția logică implementată de circuitul prezentat.  A. $F(A, B, C, D) = C \cdot A + C \cdot B + C \cdot D$ B. $F(A, B, C, D) = C \cdot (A + B) \cdot \overline{D}$ C. $F(A, B, C, D) = C \cdot (A + B) + D$ D. $F(A, B, C, D) = C \cdot A + C \cdot B \oplus D$

CLC3

Care din circuitele 1, 2, 3, 4 este echivalent cu circuitul 5?



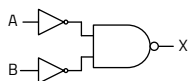
1)



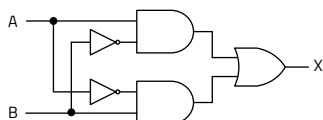
2)



3)



4)



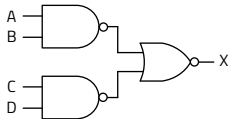
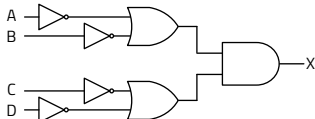
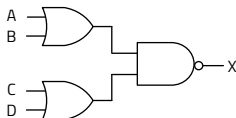
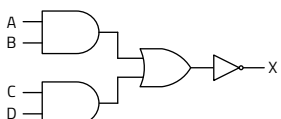
5)

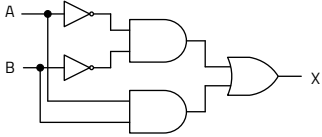
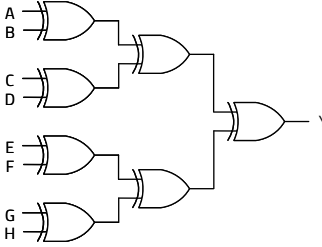
A. 1)

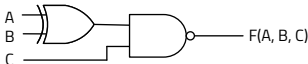
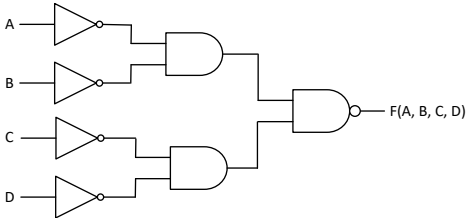
B. 2)

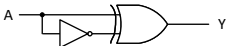
C. 3)

D. 4)

CLC4	Care din circuitele 1, 2, 3, 4 este echivalent cu circuitul 5?
	
	1) 
	2) 
	3) 
	4)  5) A. 1) B. 2) C. 3) D. 4)

CLC5	Care este funcția de ieșire a circuitului prezentat?  A. $X = A \cdot \bar{B} + \bar{A} \cdot B$ B. $X = \overline{A \cdot B} + A \cdot B$ C. $X = \overline{A \cdot B} + \bar{A} \cdot \bar{B}$ D. $X = \bar{A} \cdot \bar{B} + A \cdot B$
CLC6	Circuitul din figură implementează funcția XOR cu 8 intrări. Care combinație (în ordinea A ... H) este corectă, dacă ieșirea Y este egală cu 1?  A. 10111100 B. 10111000 C. 11100111 D. 00011101
CLC7	Pentru implementarea neminimizată a funcției $X = A \cdot B \cdot C + A \cdot B + A \cdot \bar{C}$ sunt necesare: A. 3 porți AND și o poartă OR B. 3 porți AND, o poartă NOT și o poartă OR C. 3 porți AND, o poartă NOT și 3 porți OR D. 3 porți AND și 3 porți OR
CLC8	Pentru implementarea minimizată a funcției $X = A \cdot B \cdot C + A \cdot B + A \cdot \bar{C}$ sunt necesare: A. 2 porți AND și o poartă OR B. 2 porți AND, o poartă NOT și o poartă OR C. 3 porți AND, o poartă NOT și o poartă OR D. 3 porți AND și o poartă OR

CLC9	Pentru implementarea funcției $X = \overline{A} \cdot B \cdot C + \overline{A} \cdot B$ sunt necesare cel puțin: A. 2 porți AND, o poartă NOT și o poartă OR B. o porți AND, o poartă NOT și o poartă OR C. o poartă AND și o poartă NOT D. o poartă AND, o poartă NOT și o poartă OR
CLC10	Circuitele pentru generare și verificare de paritate sunt utilizate pentru a detecta: A. care valoare este mai mare B. erorile în transmiterea binară a datelor C. erorile de calcul aritmetic D. o numărare incorectă
CLC11	Determinați funcția circuitului prezentat.  A. $F(A, B, C) = \overline{A} \cdot \overline{B} + A \cdot B + \overline{C}$ B. $F(A, B, C) = \overline{A} \cdot \overline{B} + A \cdot B + C$ C. $F(A, B, C) = \overline{A} \cdot B + A \cdot \overline{B} + C$ D. $F(A, B, C) = \overline{A} \cdot B + \overline{A} \cdot \overline{B} + \overline{C}$
CLC12	Determinați funcția circuitului prezentat.  A. $F(A, B, C, D) = \overline{A} + \overline{B} + \overline{C} + \overline{D}$ B. $F(A, B, C, D) = A + B + C + D$ C. $F(A, B, C, D) = (\overline{A} + \overline{B}) \cdot (\overline{C} + \overline{D})$ D. $F(A, B, C, D) = (A + B) \cdot (C + D)$

CLC13	Ieșirea circuitului prezentat este:  A. $Y = 1$ B. $Y = 0$ C. $Y = A$ D. $Y = \bar{A}$
CLC14	Selectați una dintre următoarele afirmații, care descrie cel mai bine metoda de detectare a erorilor prin bit de paritate. A. Verificarea parității este cea mai potrivită pentru detectarea erorilor pe un singur bit din codurile transmise. B. Verificarea parității nu este potrivită pentru detectarea erorilor pe un singur bit în codurile transmise. C. Verificarea parității este capabilă să detecteze și să corecteze erorile din codurile transmise. D. Verificarea parității este cea mai potrivită pentru detectarea erorilor de maximum doi biți care apar în timpul transmiterii codurilor.

4.2 Răspunsuri

CLC1	A
CLC2	C
CLC3	C
CLC4	B
CLC5	D
CLC6	A
CLC7	B
CLC8	C
CLC9	A
CLC10	B
CLC11	A
CLC12	B
CLC13	A
CLC14	A

Tematica 5

Circuite logice combinaționale particulare

5.1 Întrebări

LOG1	Câte combinații de intrare conține tabelul de adevăr al unui circuit multiplexor 4:1? A. 4 B. 6 C. 16 D. 64
LOG2	Câte combinații de intrare conține tabelul de adevăr al unui circuit sumator complet de 4 biți? A. 16 B. 256 C. 512 D. 1024
LOG3	Un circuit sumator complet de 1 bit are: A. două intrări și două ieșiri B. două intrări și trei ieșiri C. trei intrări și o ieșire D. trei intrări și două ieșiri
LOG4	Câte intrări are un sumator complet de 1 bit? A. 2 B. 3 C. 4 D. 5

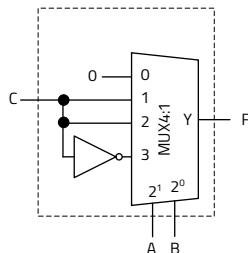
LOG5	Câte intrări are un sumator complet de 4 biți? A. 7 B. 8 C. 9 D. 10
LOG6	Un sumator complet de 1 bit adună: A. două numere binare de câte 1 bit B. trei numere binare de câte 1 bit C. două numere binare de câte 2 biți D. două numere binare de câte 2 biți și transportul de intrare
LOG7	Ce funcție logică implementează ieșirea de sumă a unui semisumator? A. AND B. XOR C. XNOR D. NAND
LOG8	Ce funcție logică implementează ieșirea de transport de ieșire a unui sumator complet de 1 bit? A. $\overline{A} \cdot B + A \cdot \overline{B}$ B. $\overline{A} \cdot B \cdot C_{in} + A \cdot \overline{B} \cdot C_{in}$ C. $\overline{A} \cdot B \cdot C_{in} + A \cdot \overline{B} \cdot C_{in} + A \cdot B \cdot \overline{C_{in}}$ D. $\overline{A} \cdot B \cdot C_{in} + A \cdot \overline{B} \cdot C_{in} + A \cdot B \cdot \overline{C_{in}} + A \cdot B \cdot C_{in}$
LOG9	Un multiplexor are: A. o intrare și mai multe ieșiri B. o intrare și o ieșire C. mai multe intrări și o ieșire D. mai multe intrări și mai multe ieșiri
LOG10	Un demultiplexor are: A. o intrare de date, mai multe intrări de selecție și mai multe ieșiri B. o intrare și o ieșire C. mai multe intrări și o ieșire D. mai multe intrări și mai multe ieșiri
LOG11	Un multiplexor 2:1 are: A. o intrare B. două intrări C. trei intrări D. patru intrări

LOG12	Un multiplexor este un circuit logic care... A. transmite la ieșire intrarea cea mai prioritară B. selectează una din intrările de date pentru a o transmite la ieșire C. convertește codul de la intrare într-un cod de ieșire pe baza unor intrări de selecție D. selectează ieșirea pe care va transmite intrarea
LOG13	Un demultiplexor este un circuit logic care... A. transmite intrarea pe ieșirea cea mai mare prioritară B. selectează una din intrările de date pentru a o transmite la ieșire C. convertește codul de la intrare într-un cod de ieșire pe baza unor intrări de selecție D. selectează ieșirea pe care va transmite intrarea
LOG14	Un demultiplexor 1:2 are... A. o intrare B. două intrări C. trei intrări D. patru intrări
LOG15	Un multiplexor 16:1 are un număr intrări de selecție egal cu... A. 2 B. 4 C. 16 D. 20
LOG16	Un multiplexor 16:1 are un număr intrări egal cu... A. 2 B. 4 C. 16 D. 20
LOG17	Un demultiplexor 1:16 are un număr intrări de selecție egal cu... A. 2 B. 4 C. 16 D. 20
LOG18	Un demultiplexor 1:16 are un număr de intrări egal cu... A. 4 B. 5 C. 16 D. 20

LOG19	În cazul în care intrarea de transport de intrare a unui sumator de 4 biți este conectată la 1, rezultatul... A. este același ca în cazul în care transportul de intrare ar fi conectat la 0, deoarece transportul de intrare este ignorat B. are transportul de ieșire egal cu 1 C. este cu 1 mai mare decât în cazul în care transportul de intrare ar fi conectat la 0 D. este același ca în cazul în care transportul de intrare ar fi conectat la 0, deoarece transportul de ieșire este ignorat																																													
LOG20	Care este diferența dintre semi-sumator și sumatorul complet de un bit? A. nu este nicio diferență, un sumator complet conține două semi-sumatoare B. sumatorul complet adună numere de două cifre binare C. sumatorul complet poate aduna și transporul de intrare D. semi-sumatorul adună doar numere de o cifră binară																																													
LOG21	Tabelul de adevăr este al unui circuit sumator complet de 1 bit. Determinați valorile lui X, Y și Z. <table><tr><td>A</td><td>B</td><td>C_i</td><td>C_o</td><td>S</td></tr><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>X</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>Y</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>Z</td></tr></table> A. $X = 0, Y = 1, Z = 1$ B. $X = 1, Y = 1, Z = 1$ C. $X = 1, Y = 0, Z = 1$ D. $X = 0, Y = 0, Z = 1$	A	B	C_i	C_o	S	0	0	0	0	0	0	0	1	0	X	0	1	0	0	1	0	1	1	Y	0	1	0	0	0	1	1	0	1	1	0	1	1	0	1	0	1	1	1	1	Z
A	B	C_i	C_o	S																																										
0	0	0	0	0																																										
0	0	1	0	X																																										
0	1	0	0	1																																										
0	1	1	Y	0																																										
1	0	0	0	1																																										
1	0	1	1	0																																										
1	1	0	1	0																																										
1	1	1	1	Z																																										

LOG22

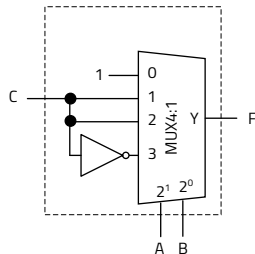
Care este funcția logică implementată de circuitul din figură?



- A. $\sum(1, 3, 5, 7)$
- B. $\sum(3, 5, 6)$
- C. $\sum(3, 5, 7)$
- D. $\sum(1, 2)$

LOG23

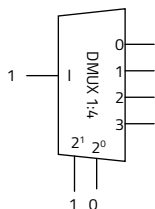
Care este funcția logică implementată de circuitul din figură?



- A. $\sum(0, 1, 3, 5, 7)$
- B. $\sum(3, 5, 6)$
- C. $\sum(0, 1, 3, 5, 6)$
- D. $\sum(1, 2)$

LOG24

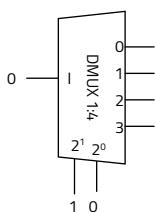
Pentru circuitul din figură...



- A. toate ieșirile sunt 0 cu excepția ieșirii 1
- B. toate ieșirile sunt 0 cu excepția ieșirii 2
- C. toate ieșirile sunt 0
- D. toate ieșirile sunt 1

LOG25

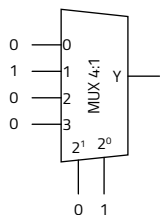
Pentru circuitul din figură:



- A. toate ieșirile sunt 0 cu excepția ieșirii 1
- B. toate ieșirile sunt 0 cu excepția ieșirii 2
- C. toate ieșirile sunt 0
- D. toate ieșirile sunt 1

LOG26

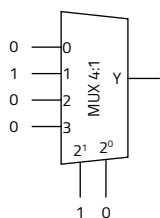
Pentru circuitul prezentat, ce valoare are ieșirea Y?



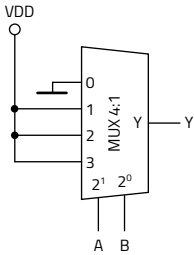
- A. 0
- B. 1
- C. indiferentă
- D. nu se poate preciza

LOG27

Pentru circuitul prezentat, ce valoare are ieșirea Y?

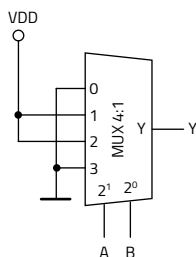


- A. 0
- B. 1
- C. indiferentă
- D. nu se poate preciza

LOG28	La intrarea unui sumator de 4 biți se aplică intrările 1011 și 1111. Transportul de intrare este 1. Care sunt valorile sumei și ale transportului de ieșire? A. 0_0111 B. 1_1111 C. 1_1011 D. 0_1100
LOG29	Un decodificator se poate utiliza ca demultiplexor dacă: A. se leagă pinul de validare la 0 B. se leagă intrările de date ale codificatorului la 0 C. se leagă pinul de validare la 1 D. se utilizează intrarea de validare ca intrare de date iar intrările de date ale codificatorului ca intrări de selecție
LOG30	Funcțiile logice care pot fi implementate direct cu un MUX 8:1 au... A. 2 intrări B. 3 intrări C. 4 intrări D. 5 intrări
LOG31	Funcțiile logice care pot fi implementate cu un MUX 8:1 și maximum un inversor au... A. 2 intrări B. 3 intrări C. 4 intrări D. 5 intrări
LOG32	Ce funcție logică implementează circuitul cu multiplexor prezentat?  A. $Y = \overline{A} \cdot \overline{B} + A$ B. $Y = A + B$ C. $Y = \overline{A} + \overline{B}$ D. $Y = A \cdot B + \overline{A}$

LOG33

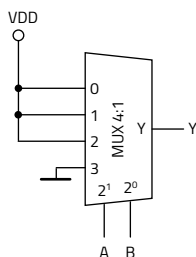
Ce funcție logică implementează circuitul cu multiplexor prezentat?



- A. $Y = A + B$
- B. $Y = \overline{A \oplus B}$
- C. $Y = A \oplus B$
- D. $Y = A + \overline{B}$

LOG34

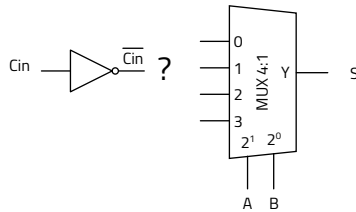
Ce funcție logică implementează circuitul cu multiplexor prezentat?



- A. $Y = \overline{A \cdot B}$
- B. $Y = \overline{A} \cdot \overline{B}$
- C. $Y = A \oplus B$
- D. $Y = A + \overline{B}$

LOG35

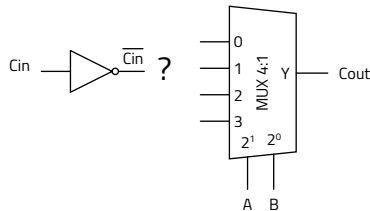
Figura prezintă un MUX 4:1 ce se dorește a fi utilizat pentru implementarea funcției S a unui sumator complet de 1 bit. Cum trebuie conectate intrările de date ale multiplexorului pentru a realiza funcția sumă S ?



- A. $I_0 = I_1 = Cin$ și $I_2 = I_3 = \overline{Cin}$
- B. $I_0 = I_1 = \overline{Cin}$ și $I_2 = I_3 = Cin$
- C. $I_0 = I_3 = Cin$ și $I_1 = I_2 = \overline{Cin}$
- D. $I_0 = I_3 = \overline{Cin}$ și $I_1 = I_2 = Cin$

LOG36

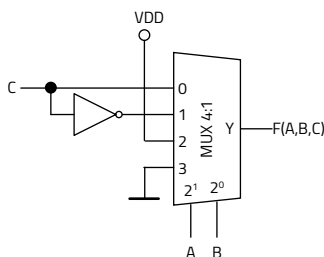
Figura prezintă un MUX 4:1 ce se dorește a fi utilizat pentru implementarea funcției $Cout$ a unui sumator complet de 1 bit. Cum trebuie conectate intrările de date ale multiplexorului pentru a realiza funcția de transport de ieșire $Cout$?



- A. $I_0 = I_1 = Cin$ și $I_2 = I_3 = \overline{Cin}$
- B. $I_0 = I_1 = \overline{Cin}$ și $I_2 = I_3 = Cin$
- C. $I_0 = 0$, $I_1 = I_2 = Cin$ și $I_3 = 1$
- D. $I_0 = 0$, $I_1 = I_2 = \overline{Cin}$ și $I_3 = 1$

LOG37

Figura prezintă un MUX 4:1 care implementează funcția $F(A, B, C)$. Determinați forma canonică a funcției.



A. $F(A, B, C) = \sum(0, 1, 2, 4, 5)$

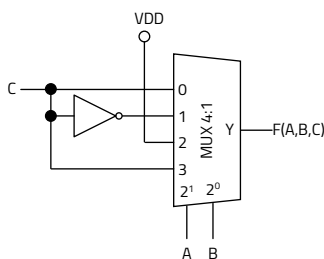
B. $F(A, B, C) = \sum(1, 2, 4, 6)$

C. $F(A, B, C) = \sum(1, 2, 4, 5)$

D. $F(A, B, C) = \sum(1, 2, 5)$

LOG38

Figura prezintă un MUX 4:1 care implementează funcția $F(A, B, C)$. Determinați forma canonică a funcției.

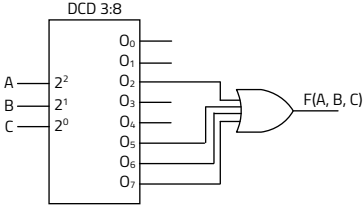
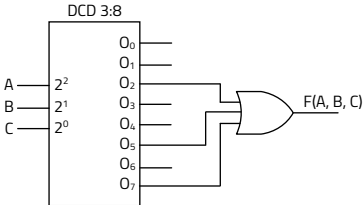


A. $F(A, B, C) = \sum(0, 1, 2, 4, 5)$

B. $F(A, B, C) = \sum(1, 2, 4, 5, 7)$

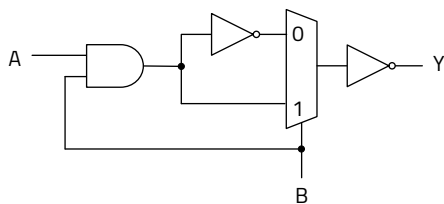
C. $F(A, B, C) = \sum(1, 2, 4, 5, 6)$

D. $F(A, B, C) = \sum(1, 2, 5)$

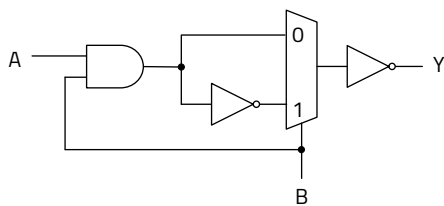
LOG39	Figura prezintă o implementare cu decodificator a funcției $F(A, B, C)$. Determinați expresia minimă a funcției.  A. $F(A, B, C) = A \cdot C + \overline{A} \cdot B \cdot \overline{C}$ B. $F(A, B, C) = A \cdot \overline{C} + B \cdot \overline{C}$ C. $F(A, B, C) = A \cdot C + \overline{A} \cdot B$ D. $F(A, B, C) = A \cdot C + B \cdot \overline{C}$
LOG40	Figura prezintă o implementare cu decodificator a funcției $F(A, B, C)$. Determinați expresia minimă a funcției.  A. $F(A, B, C) = A \cdot C + \overline{A} \cdot B \cdot \overline{C}$ B. $F(A, B, C) = A \cdot \overline{C} + B \cdot \overline{C}$ C. $F(A, B, C) = A \cdot C + \overline{A} \cdot B$ D. $F(A, B, C) = A \cdot C + B \cdot \overline{C}$
LOG41	Un număr binar poate fi convertit pentru a fi reprezentat pe un display 7-segmente de către un... A. decodificator B. codificator C. multiplexor D. comparator

LOG42

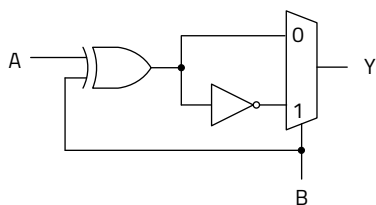
Asociați fiecare din circuitele prezentate (1-4) cu unul din circuitele echivalente simplificate.



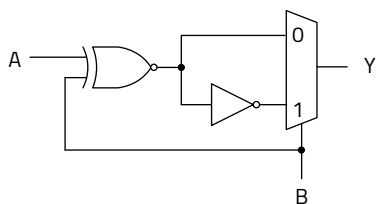
1)



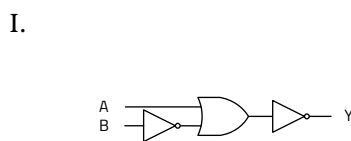
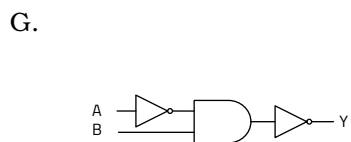
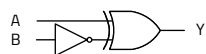
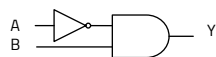
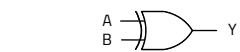
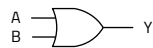
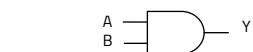
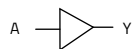
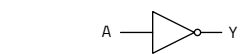
2)



3)



4)



5.2 Răspunsuri

LOG1	D
LOG2	C
LOG3	D
LOG4	B
LOG5	C
LOG6	B
LOG7	B
LOG8	D
LOG9	C
LOG10	A
LOG11	C
LOG12	D
LOG13	D
LOG14	B
LOG15	B
LOG16	D
LOG17	B
LOG18	B
LOG19	C
LOG20	C
LOG21	B
LOG22	B
LOG23	C
LOG24	B
LOG25	C
LOG26	B
LOG27	A
LOG28	C
LOG29	D
LOG30	B
LOG31	C
LOG32	B
LOG33	C
LOG34	A
LOG35	C
LOG36	C
LOG37	C
LOG38	B
LOG39	D
LOG40	A

LOG41	A
LOG42	1 = F 2 = G 3 = B 4 = A

Tematica 6

Elemente de memorare

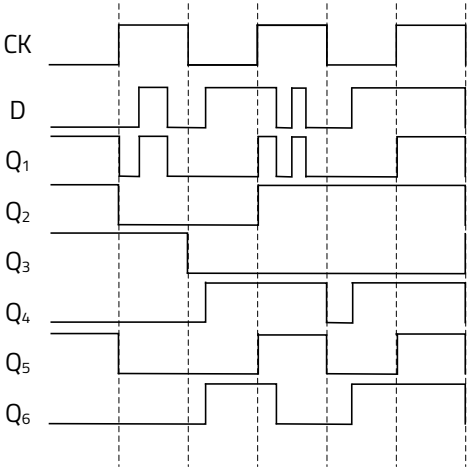
6.1 Întrebări

FF1	În cazul unui latch D, activ pe palierul de 1 al semnalului de ceas... A. ieșirea Q se menține, când $CLK = 1$ B. ieșirea Q copiază intrarea D, când $CLK = 1$ și intrarea D negată când $CLK = 0$ C. ieșirea Q copiază intrarea D, când $CLK = 1$ D. ieșirea Q își păstrează starea, indiferent de CLK
FF2	Latch-ul D este transparent pentru o jumătate de perioadă de ceas. A. Adevărat B. Fals
FF3	Latch-ul D este transparent în momentul frontului crescător de ceas. A. Adevărat B. Fals
FF4	Latch-ul D își menține starea... A. o jumătate de perioadă de ceas B. o perioadă de ceas C. între două fronturi ale semnalului de ceas D. până la următoarea modificare
FF5	Un latch D, activ HIGH, își poate modifica starea... A. de maximum 2 ori într-o perioadă de ceas B. în momentul comutării semnalului de ceas C. oricând se modifică D D. oricând se modifică D, dacă $CLK = 1$

FF6	Bistabilul D este transparent pentru o jumătate de perioadă de ceas. A. Adevărat B. Fals
FF7	Bistabilul D este transparent în momentul frontului activ de ceas. A. Adevărat B. Fals
FF8	Care afirmație descrie funcționarea unui bistabil D, activ pe front pozitiv? A. starea intrării D este preluată la ieșirea Q în momentul frontului pozitiv al intrării de ceas B. ieșirea Q este identică cu D dacă ceasul este pe palierul de 1 C. ieșirea Q este identică cu D în momentul frontului pozitiv al intrării de ceas D. ieșirea Q copiază intrarea D
FF9	Bistabilul D comută... A. pe frontul activ al semnalului de ceas B. pe ambele fronturi ale semnalului de ceas C. pe palierul de 0 al semnalului de ceas D. pe palierul de 1 al semnalului de ceas
FF10	Bistabilul D cu validare își schimbă starea dacă... A. intrarea de validare este activă B. pe frontul activ, dacă intrarea de validare este activă C. pe frontul activ, dacă intrarea de validare este activă, dacă intrarea D este complementară cu starea Q D. pe frontul activ, dacă intrarea de validare este activă, dacă intrarea D este identică cu starea Q
FF11	Bistabilul D cu validare își păstrează starea dacă... A. intrarea de validare este inactivă B. intrarea de validare este activă, dar în momentul frontului activ $D = Q$ C. $CLK = 1$ sau $CLK = 0$ D. toate cazurile menționate
FF12	Bistabilul D cu validare își modifică starea dacă... A. se activează intrarea de validare B. apare un front activ al semnalului de ceas C. apare un front activ al semnalului de ceas iar intrarea de validare este activă D. apare un front activ al semnalului de ceas, intrarea de validare este activă și $D = \bar{Q}$

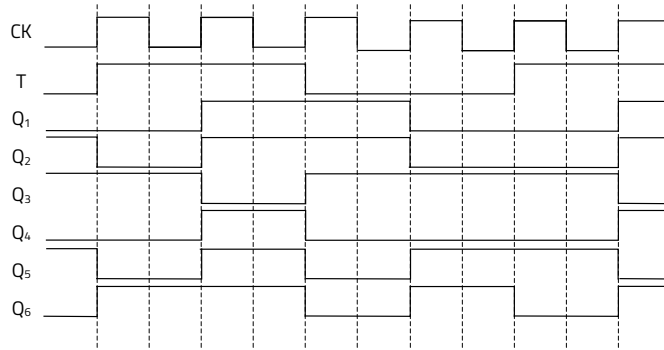
FF13	Bistabilul D își menține starea... A. o jumătate de perioadă de ceas B. o perioadă de ceas D. până la următoarea modificare C. între două fronturi ale semnalului de ceas
FF14	Bistabilul D își poate modifica starea... A. de maximum 2 ori într-o perioadă de ceas B. ca urmare a apariției unui front activ al semnalului de ceas C. ca urmare a apariției unui front al semnalului de ceas D. oricând se modifică D
FF15	Bistabilul D își poate modifica starea... A. de maximum 2 ori într-o perioadă de ceas B. oricând dacă $CLK = 1$ C. maximum o dată pe o perioadă de ceas D. oricând se modifică D
FF16	Bistabilul D cu validare își păstrează starea... A. cel mult o perioadă de ceas B. tot timpul dacă $E = 0$ C. până la următorul front activ de ceas D. până la modificarea intrării D
FF17	Bistabilul T își păstrează starea... A. dacă $T = 0$ B. dacă $T = 1$ C. în orice condiții D. niciodată
FF18	Bistabilul T, activ pe frontul crescător, își modifică starea... A. dacă $T = 1$, iar ceasul comută B. dacă $T = 1$, iar ceasul trece din 0 în 1 C. dacă $T = 0$, iar ceasul trece din 0 în 1 D. dacă $T = 1$, iar ceasul trece din 1 în 0
FF19	Un bistabil T, activ pe frontul crescător, a cărui intrare T este conectată la tensiunea de alimentare... A. își păstrează starea la infinit B. comută la fiecare front activ de ceas C. comută din două în două fronturi active de ceas D. oscilează cu perioada semnalului de ceas

FF20	Un bistabil T, activ pe frontul crescător, a cărui intrare T este conectată la masă... A. își păstrează starea la infinit B. comută la fiecare front activ de ceas C. oscilează cu o perioadă dublă față de cea a semnalului de ceas D. oscilează cu perioada semnalului de ceas
FF21	În momentul alimentării, un bistabil D este în starea... A. 0 B. 1 C. de înaltă impedanță D. necunoscută
FF22	În momentul alimentării, un bistabil T este în starea... A. 0 B. 1 C. de înaltă impedanță D. necunoscută
FF23	Un registru de deplasare la dreapta de 4 biți are valoarea 1101. La intrarea serială a registrului se prezintă succesiv valorile 1011 (LSb se prezintă primul). Ce valoare are registrul după 3 tacte? A. 1011 B. 1111 C. 0111 D. 1011
FF24	Un bit de informație poate fi stocat... A. într-o poartă logică B. într-un bistabil C. într-un numărător D. într-un convertor de cod
FF25	Care este diferența dintre „<i>timpul de setup</i>” și „<i>timpul de hold</i>” al bistabilelor? A. „<i>timpul de setup</i>” se măsoară după frontul activ, iar „<i>timpul de hold</i>” se măsoară înainte de frontul activ B. „<i>timpul de setup</i>” se măsoară înainte frontul activ, iar „<i>timpul de hold</i>” se măsoară după de frontul activ C. „<i>timpul de setup</i>” se măsoară înainte de frontul activ, iar „<i>timpul de hold</i>” se măsoară de la frontul activ la ieșire D. „<i>timpul de setup</i>” și „<i>timpul de hold</i>” sunt sinonime

FF26	Cum se definește noțiunea de „<i> timpul de setup</i>”? A. timpul de dinaintea frontului activ de ceas în care datele trebuie să fie stabile B. timpul de după frontul activ de ceas în care datele trebuie să fie stabile C. timpul din jurul frontului activ de ceas în care datele trebuie să fie stabile D. intervalul de timp între frontul activ de ceas și stabilizarea ieșirii
FF27	Cum se definește noțiunea de „<i> timpul de hold</i>”? A. timpul de dinaintea frontului activ de ceas în care datele trebuie să fie stabile B. timpul de după frontul activ de ceas în care datele trebuie să fie stabile C. timpul din jurul frontului activ de ceas în care datele trebuie să fie stabile D. intervalul de timp între frontul activ de ceas și stabilizarea ieșirii
FF28	Asociați circuitele cu formele de undă din figură:  A. latch activ pe palierul de 1 B. latch activ pe palierul de 0 C. bistabil activ pe frontul crescător D. bistabil activ pe frontul descrescător

FF29

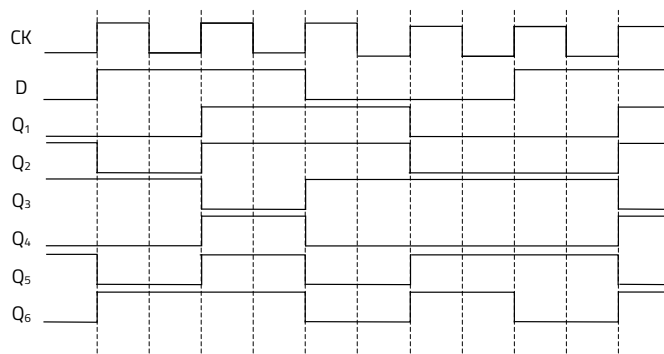
În figură este prezentată forma de undă la intrarea T a unui bistabil cu comutare pe frontul crescător. Care formă de undă corespunde ieșirii bistabilului?



- A. Q_4
- B. Q_3
- C. Q_1 și Q_2
- D. Q_3 și Q_4

FF30

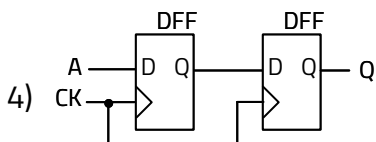
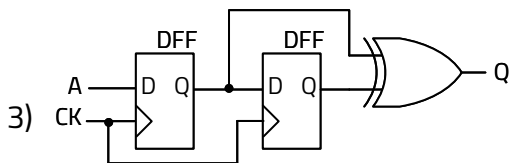
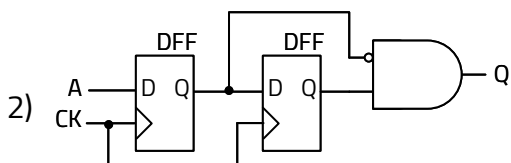
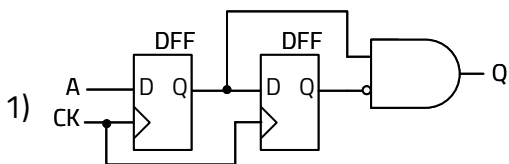
În figură este prezentată forma de undă la intrarea D a unui bistabil cu comutare pe frontul crescător. Care formă de undă corespunde ieșirii bistabilului?



- A. Q_1
- B. Q_2
- C. Q_1 și Q_2
- D. Q_3 și Q_4

FF31

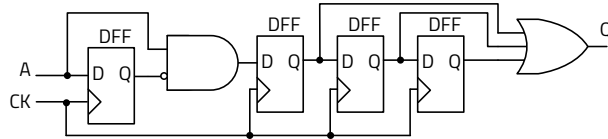
Asociați circuitele cu bistabile cu funcția lor.



- A. detector de front pozitiv
- B. detector de front negativ
- C. circuitul detector de front
- D. întârziere de doi cicli de ceas

FF32

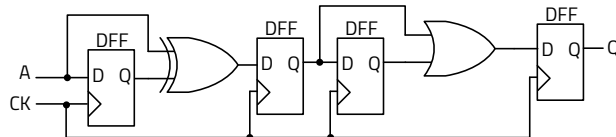
În figură este prezentat un circuit cu bistabile pentru procesarea impulsurilor. Identificați funcția acestuia.



- A. ieșirea prezintă un puls de 2 perioade de ceas la fiecare front pozitiv al semnalului de intrare
- B. ieșirea prezintă un puls de 3 perioade de ceas la fiecare front pozitiv al semnalului de intrare
- C. ieșirea prezintă un puls de 3 perioade de ceas la fiecare front negativ al semnalului de intrare
- D. ieșirea prezintă un puls de 3 perioade de ceas la fiecare front al semnalului de intrare

FF33

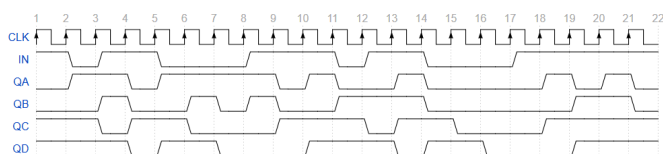
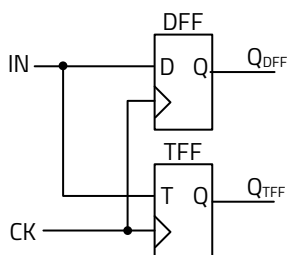
În figură este prezentat un circuit cu bistabile pentru procesarea impulsurilor. Identificați funcția acestuia.



- A. ieșirea prezintă un puls de 3 perioade de ceas la fiecare front pozitiv al semnalului de intrare
- B. ieșirea prezintă un puls de 3 perioade de ceas la fiecare front al semnalului de intrare
- C. ieșirea prezintă un puls de 2 perioade de ceas la fiecare front pozitiv al semnalului de intrare
- D. ieșirea prezintă un puls de 2 perioade de ceas la fiecare front al semnalului de intrare

FF34

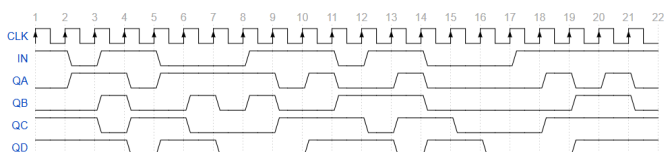
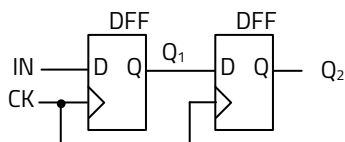
Circuitul din figură prezintă un bistabil D și un bistabil T cu intrările conectate la aceeași intrare IN . Forma de undă a intrării IN este prezentată în figură alături de alte forme de undă. Asociați ieșirile Q_{DFF} și Q_{TFF} cu formele de undă corespunzătoare.



- A. $Q_{DFF} = Q_C$ și $Q_{TFF} = Q_D$
- B. $Q_{DFF} = Q_C$ și $Q_{TFF} = Q_A$
- C. $Q_{DFF} = Q_C$ și $Q_{TFF} = Q_B$
- D. $Q_{DFF} = Q_D$ și $Q_{TFF} = Q_A$

FF35

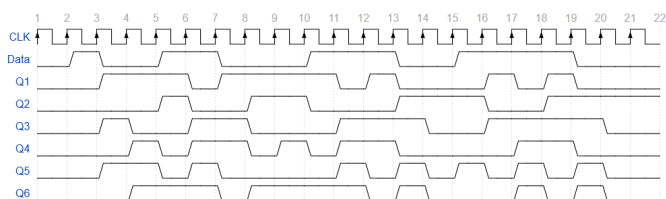
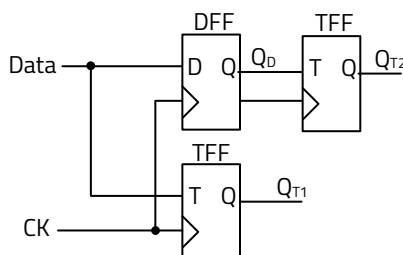
Circuitul din figură prezintă două bistabile D. Forma de undă a intrării IN este prezentată în figură alături de alte forme de undă. Asociați ieșirile Q_1 și Q_2 cu formele de undă corespunzătoare.



- A. $Q_1 = Q_A$ și $Q_2 = Q_D$
- B. $Q_1 = Q_B$ și $Q_2 = Q_C$
- C. $Q_1 = Q_C$ și $Q_2 = Q_D$
- D. $Q_1 = Q_D$ și $Q_2 = Q_C$

FF36

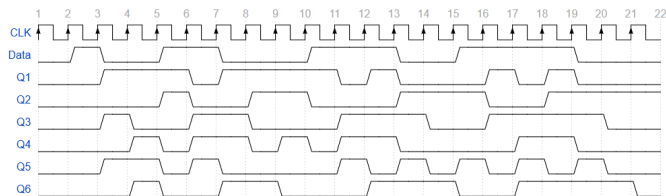
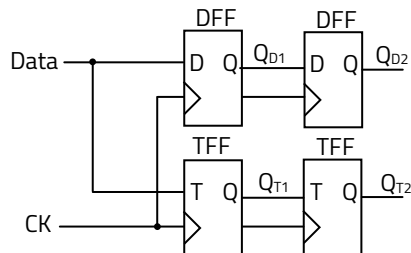
Circuitul din figură prezintă un bistabil D și două bistabile T. Forma de undă a intrării *Data* este prezentată în figură alături de alte forme de undă. Asociați ieșirile Q_D , Q_{T1} și Q_{T2} cu formele de undă corespunzătoare.



- A. $Q_D = Q_3$, $Q_{T1} = Q_4$ și $Q_{T2} = Q_5$
- B. $Q_D = Q_5$, $Q_{T1} = Q_2$ și $Q_{T2} = Q_1$
- C. $Q_D = Q_3$, $Q_{T1} = Q_1$ și $Q_{T2} = Q_2$
- D. $Q_D = Q_3$, $Q_{T1} = Q_1$ și $Q_{T2} = Q_6$

FF37

Circuitul din figură prezintă două bistabile D și două bistabile T. Forma de undă a intrării *Data* este prezentată în figură alături de alte forme de undă. Asociați ieșirile Q_{D1} , Q_{D2} , Q_{T1} și Q_{T2} cu formele de undă corespunzătoare.



- A. $Q_{D1} = Q_3$, $Q_{D2} = Q_6$, $Q_{T1} = Q_1$ și $Q_{T2} = Q_4$
 B. $Q_{D1} = Q_3$, $Q_{D2} = Q_6$, $Q_{T1} = Q_5$ și $Q_{T2} = Q_4$
 C. $Q_{D1} = Q_4$, $Q_{D2} = Q_2$, $Q_{T1} = Q_1$ și $Q_{T2} = Q_4$
 D. $Q_{D1} = Q_4$, $Q_{D2} = Q_2$, $Q_{T1} = Q_3$ și $Q_{T2} = Q_6$

6.2 Răspunsuri

FF1	C
FF2	A
FF3	B
FF4	A
FF5	D
FF6	B
FF7	A
FF8	A
FF9	A
FF10	C
FF11	D
FF12	D
FF13	B
FF14	B
FF15	C
FF16	B
FF17	A
FF18	B
FF19	B
FF20	A
FF21	D
FF22	D
FF23	C
FF24	B
FF25	B
FF26	A
FF27	B
FF28	A = Q1 B = Q4 C = Q2 D = Q3
FF29	D
FF30	C
FF31	A = 1 B = 2 C = 3 D = 4
FF32	B
FF33	D
FF34	B

FF35	C
FF36	D
FF37	A

Tematica 7

Automate cu număr finit de stări

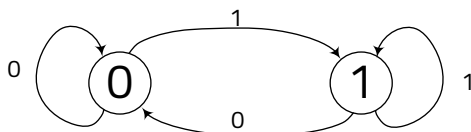
7.1 Întrebări

FSM1	Asociați structurile de automate cu numele corespunzătoare. Intrări Logică de stare Stare viitoare Registru de stare CK Stare prezentă Logică de ieșire Ieșiri Intrări Logică de stare Stare viitoare Registru de stare CK Stare prezentă Logică de ieșire Ieșiri 1) 2)
------	---

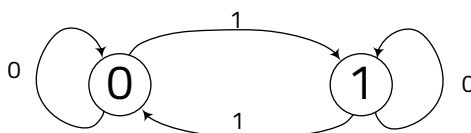
	3) 4) A. Mealy imediat B. Mealy cu întârziere C. Moore imediat D. Moore cu întârziere
FSM2	Asociați formele geometrice cu simbolurile care apar în organigramă. 1) 2) 3) 4) 5) 6) A. Simbol de stare B. Simbol de decizie C. Simbol de ieșire imediată
FSM3	Care este numărul minim de bistabile cu care poate fi implementat un automat cu 2025 stări? A. 10 B. 11 C. 2025 D. 2048

FSM4

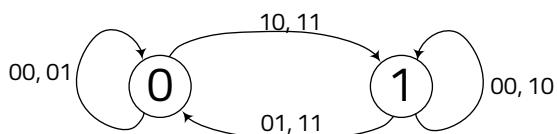
Asociați grafurile de tranziții cu bistabilele corespunzătoare.



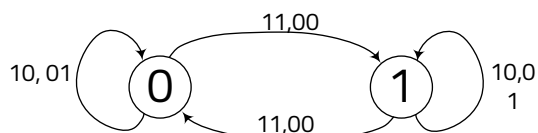
1.



2.



3.

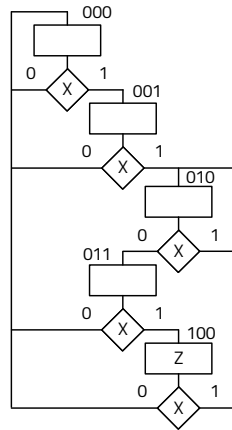


4.

- A. Bistabil T
- B. Bistabil D
- C. Bistabil JK

FSM5

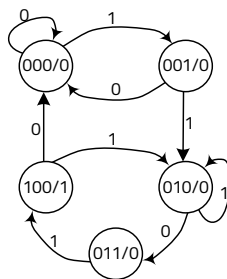
Pe baza organigramei automatului, determinați caracteristicile acestuia.



- A. Mealy, 1 intrare, 1 ieșire, 5 stări
- B. Moore, 1 intrare, 1 ieșire, 5 stări
- C. Moore, 1 intrare, 1 ieșire, 3 stări
- D. Moore, 5 intrări, 1 ieșire, 5 stări

FSM6

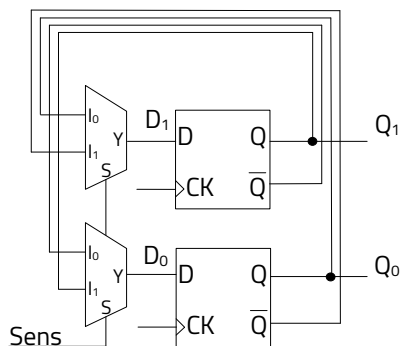
Pe baza grafului de tranziție al automatului, determinați caracteristicile acestuia.



- A. Mealy, 3 intrări, 1 ieșiri, 5 stări
- B. Mealy, 1 intrare, 1 ieșire, 5 stări
- C. Moore, 1 intrare, 1 ieșire, 3 stări
- D. Moore, 1 intrare, 1 ieșire, 5 stări

FSM7

Pe baza circuitului, determinați caracteristicile automatului implementat.



- A. Mealy, 1 intrare, 1 ieșire, 2 stări
- B. Mealy, 1 intrare, 1 ieșire, 4 stări
- C. Moore, 1 intrare, 1 ieșire, 4 stări
- D. Moore, 1 intrare, 1 ieșire, 2 stări

7.2 Răspunsuri

FSM1	A = 2 B = 4 C = 1 D = 3
FSM2	A = 2 B = 1 C = 5
FSM3	B
FSM4	A = 2 B = 1 C = 3
FSM5	B
FSM6	D
FSM7	C

Tematica 8

Circuite logice secvențiale particulare

8.1 Întrebări

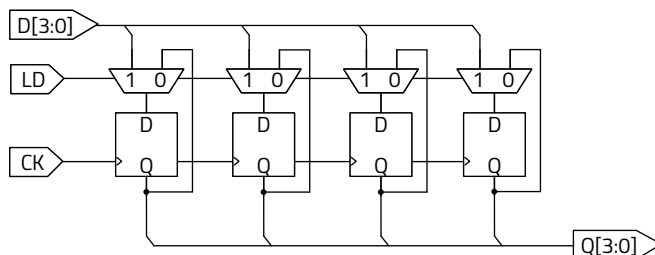
CLS1	Câte bistabile sunt minimum necesare pentru realizarea unui numărător modulo 32? A. 3 B. 5 C. 6 D. 32
CLS2	Câte bistabile sunt minimum necesare pentru realizarea unui numărător zecimal? A. 4 B. 5 C. 8 D. 10
CLS3	Denumirea $UP/\overline{DN}$ a unei intrări de control a unui numărător sugerează că... A. numărarea se face în sens crescător, dacă intrarea are valoarea 0 B. numărarea se face în sens decrescător, dacă intrarea are valoarea 1 C. numărarea se face în sens crescător, dacă intrarea are valoarea 1 și în sens decrescător, dacă are valoarea 0 D. numărarea se face la trecerea semnalului din 1 în 0

CLS4	În cât timp poate fi încărcat serial un registru de deplasare de 16 biți dacă frecvența de ceas are 1MHz? A. $1\mu s$ B. $16\mu s$ C. $1ms$ D. $1.6ms$
CLS5	Factorul de umplere al celui mai semnificativ bit al unui numărator modulo 13 este... A. $1/2$ B. $5/13$ C. $6/13$ D. $7/13$
CLS6	Factorul de umplere al celui mai semnificativ bit al unui numărator modulo 18 este... A. $1/2$ B. $8/10$ C. $1/9$ D. $3/18$
CLS7	Factorul de umplere al celui mai semnificativ bit al unui numărator BCD este... A. 10% B. 20% C. 50% D. 80%
CLS8	Perioada celui mai puțin semnificativ bit al unui numărator modulo 6 este... A. o perioadă de ceas B. două perioade de ceas C. trei perioade de ceas D. șase perioade de ceas
CLS9	Perioada celui mai semnificativ bit al unui numărator modulo 6 este... A. o perioadă de ceas B. două perioade de ceas C. trei perioade de ceas D. șase perioade de ceas
CLS10	Perioada celui mai puțin semnificativ bit al unui numărator modulo 8 este... A. 1 perioadă de ceas B. 2 perioade de ceas C. 4 perioade de ceas D. 8 perioade de ceas

CLS11	Perioada celui mai semnificativ bit al unui numărător modulo 8 este... A. 1 perioadă de ceas B. 2 perioade de ceas C. 4 perioade de ceas D. 8 perioade de ceas
CLS12	Cifra care se schimbă cel mai des la un numărător este... A. MSb B. LSb C. LCD D. LED
CLS13	Cifra care se schimbă cel mai rar la un numărător este... A. MSb B. LSb C. LCD D. LED
CLS14	Care este frecvența semnalului de ieșire dintr-un circuit divizor de frecvență realizat din 12 bistabile D înseriate, dacă frecvența de ceas este de 20.48 MHz? A. 10.24 kHz B. 5 kHz C. 20.48 kHz D. 10 kHz
CLS15	Câte bistabile sunt minimum necesare pentru realizarea unui divizor de frecvență cu factorul 128? A. 1 B. 4 C. 7 D. 128

CLS16

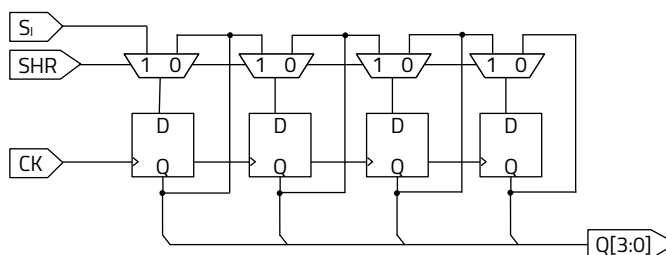
Circuitul prezentat este un registru...



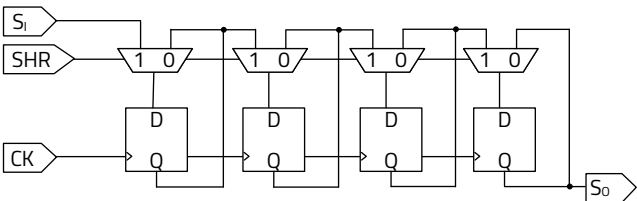
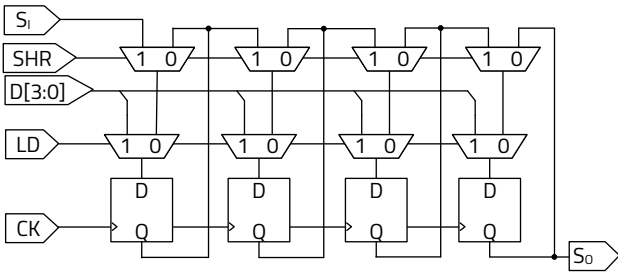
- A. serie-paralel
- B. serie-serie
- C. paralel-paralel
- D. paralel-serie

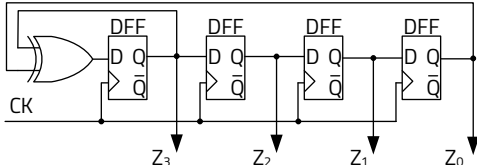
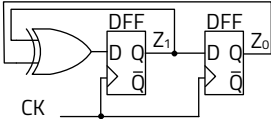
CLS17

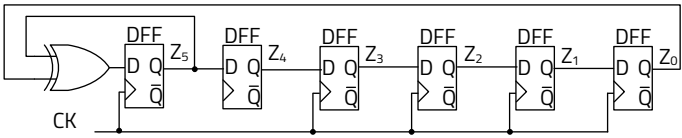
Circuitul prezentat este un registru...

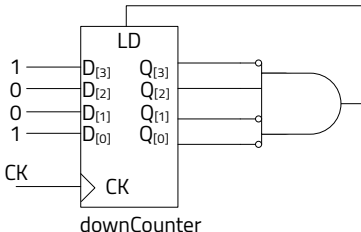


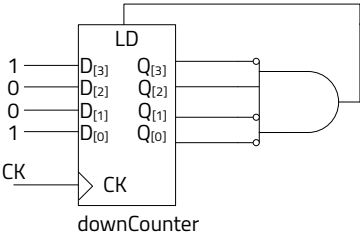
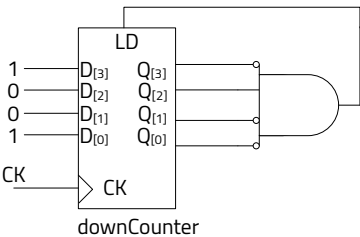
- A. serie-paralel
- B. serie-serie
- C. paralel-paralel
- D. paralel-serie

CLS18	Circuitul prezentat este un registru...  A. serie-paralel B. serie-serie C. paralel-paralel D. paralel-serie
CLS19	Circuitul prezentat este un registru...  A. serie-paralel B. serie-serie C. paralel-paralel D. paralel-serie

CLS20	Circuitul LFSR poate fi utilizat ca... A. generator de paritate B. generator de semnal de ceas C. generator de secvențe pseudo-aleatorii D. generator de secvențe aleatorii
CLS21	Polinomul caracteristic al circuitului LFSR prezentat este...  A. $X^4 + X^3 + X$ B. $X^3 + X + 1$ C. $X^4 + X^3 + 1$ D. $X^4 + X^3 + X + 1$
CLS22	Polinomul caracteristic al circuitului LFSR prezentat este...  A. $X + 1$ B. $X^2 + X + 1$ C. $X^3 + X + 1$ D. $X^3 + X^2 + X$

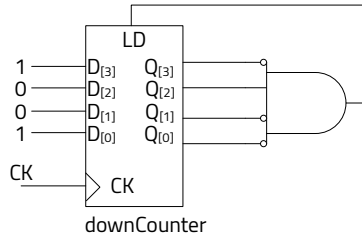
CLS23	Polinomul caracteristic al circuitului LFSR prezentat este...  A. $X^5 + 1$ B. $X^5 + 1$ C. $X^6 + X^5 + 1$ D. $X^6 + X^5 + X + 1$
CLS24	Un registru de 4 biți având inițial conținutul 1011 este deplasat spre stânga secvențial, primind pe intrarea de date serială secvența 1010111 (MSb primul). Care este starea registrului după 2 perioade de ceas? A. 1011 B. 0111 C. 1110 D. 1101
CLS25	Un registru de 4 biți având inițial conținutul 1011 este deplasat spre stânga secvențial, primind pe intrarea de date serială secvența 1010111 (MSb primul). Care este starea registrului după 3 perioade de ceas? A. 1011 B. 0111 C. 1110 D. 1101
CLS26	Un registru de 4 biți având inițial conținutul 1011 este deplasat spre stânga secvențial, primind pe intrarea de date serială secvența 1010111 (MSb primul). Care este starea registrului după 4 perioade de ceas? A. 1010 B. 0111 C. 1110 D. 1101

CLS27	Un registru de 4 biți având inițial conținutul 1011 este deplasat spre stânga secvențial, primind pe intrarea de date serială secvența 1010111 (MSb primul). Care este starea registrului după 5 perioade de ceas? A. 1010 B. 0101 C. 1011 D. 0111
CLS28	Un registru de 4 biți având inițial conținutul 1011 este deplasat spre stânga secvențial, primind pe intrarea de date serială secvența 1010111 (MSb primul). Care este starea registrului după 6 perioade de ceas? A. 1010 B. 0101 C. 1011 D. 0111
CLS29	Un registru de 4 biți având inițial conținutul 1011 este deplasat spre stânga secvențial, primind pe intrarea de date serială secvența 1010111 (MSb primul). Care este starea registrului după 7 perioade de ceas? A. 1010 B. 0101 C. 1011 D. 0111
CLS30	Care este starea ce urmează stării 4 în cazul circuitului cu numărător prezentat?  A. 5 B. 3 C. 9 D. 0

CLS31	Care este starea ce urmează stării 0 în cazul circuitului cu numărător prezentat?  A. 0 B. 1 C. 9 D. 15
CLS32	Care este starea ce urmează stării 7 în cazul circuitului cu numărător prezentat?  A. 0 B. 6 C. 8 D. 9

CLS33

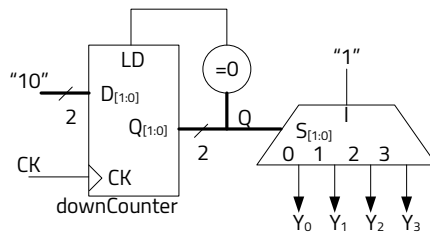
Care este starea ce urmează stării 13 în cazul circuitului cu numărător prezentat?



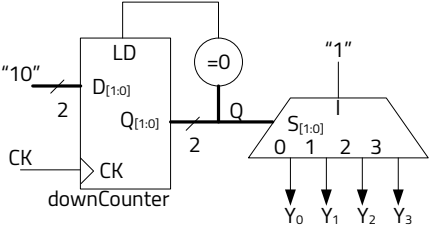
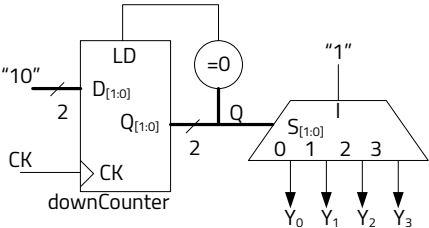
- A. 9
- B. 12
- C. 14
- D. 15

CLS34

Pentru circuitul prezentat, ce ieșire nu poate fi niciodată egală cu 1?

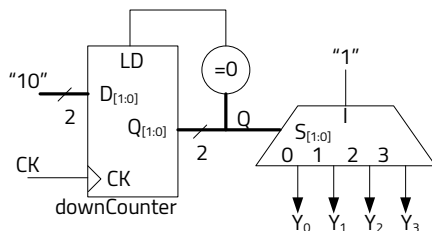


- A. Y_0
- B. Y_1
- C. Y_2
- D. Y_3

CLS35	Pentru circuitul prezentat, ce perioadă are ieșirea Y2?  A. $1 \times T_{CK}$ B. $2 \times T_{CK}$ C. $3 \times T_{CK}$ D. $4 \times T_{CK}$
CLS36	Pentru circuitul prezentat, ce perioadă are ieșirea Y0?  A. $1 \times T_{CK}$ B. $2 \times T_{CK}$ C. $3 \times T_{CK}$ D. $4 \times T_{CK}$

CLS37

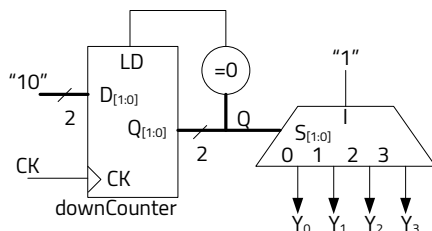
Pentru circuitul prezentat, ce ieșire este egală cu 1 simultan cu semnalul LD?



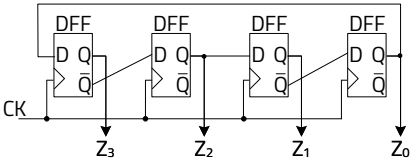
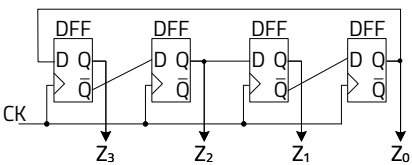
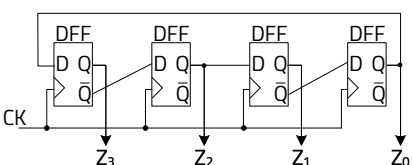
- A. Y_0
- B. Y_1
- C. Y_2
- D. Y_3

CLS38

Pentru circuitul prezentat, ce ieșire este defazată cu 2 perioade de tact față de semnalul LD?

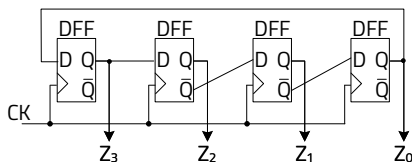


- A. Y_0
- B. Y_1
- C. Y_2
- D. Y_3

CLS39	Pentru circuitul prezentat, care este starea ce urmează stării 5?  A. 7 B. 12 C. 14 D. 15
CLS40	Pentru circuitul prezentat, care este starea ce urmează stării 7?  A. 3 B. 12 C. 14 D. 15
CLS41	Pentru circuitul prezentat, care este starea ce urmează stării 11?  A. 3 B. 5 C. 8 D. 13

CLS42

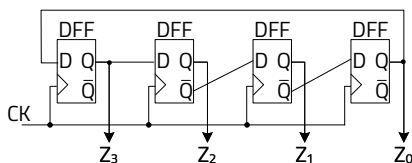
Pentru circuitul prezentat, care este starea ce urmează stării 5?



- A. 10
- B. 2
- C. 8
- D. 9

CLS43

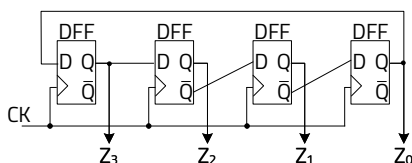
Pentru circuitul prezentat, care este starea ce urmează stării 7?



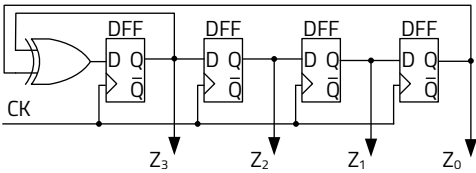
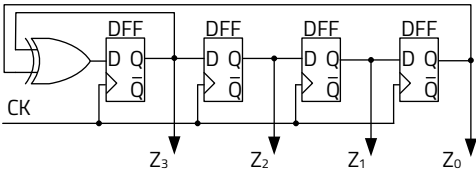
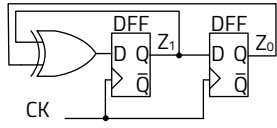
- A. 3
- B. 11
- C. 8
- D. 15

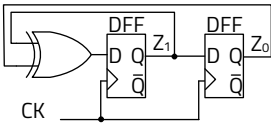
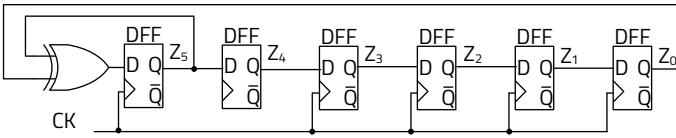
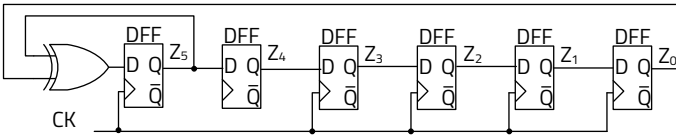
CLS44

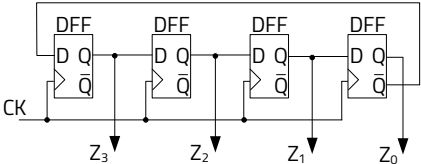
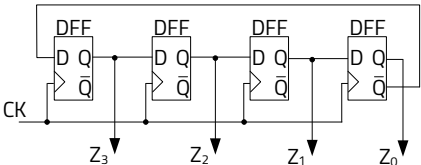
Pentru circuitul prezentat, care este starea ce urmează stării 11?

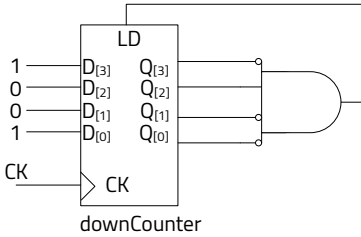
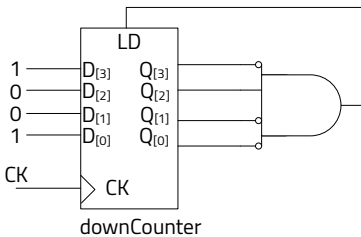


- A. 3
- B. 5
- C. 10
- D. 14

CLS45	Care este starea următoare a circuitului LFSR aflat în starea 1010?  A. 0101 B. 1011 C. 1101 D. 0101
CLS46	Care este starea următoare a circuitului LFSR aflat în starea 1011?  A. 1010 B. 1011 C. 1101 D. 0101
CLS47	Care este starea următoare a circuitului LFSR aflat în starea 10?  A. 00 B. 01 C. 10 D. 11

CLS48	Care este starea următoare a circuitului LFSR aflat în starea 01?  A. 00 B. 01 C. 10 D. 11
CLS49	Care este starea următoare a circuitului LFSR aflat în starea 101010?  A. 010101 B. 110101 C. 010100 D. 010101
CLS50	Care este starea următoare a circuitului LFSR aflat în starea 101011?  A. 010110 B. 110101 C. 010100 D. 010101

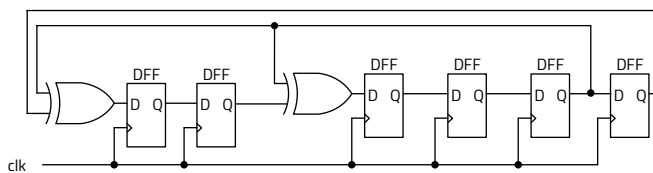
CLS51	Care este starea următoare a circuitului aflat în starea 0100?  A. 0010 B. 1010 C. 1000 D. 1001
CLS52	Care este starea următoare a circuitului aflat în starea 0110?  A. 1101 B. 1100 C. 1011 D. 0011

CLS53	Între ce stări ciclează circuitul cu numărător prezentat?  A. între 10 și 2 B. între 9 și 4 C. între 4 și 9 D. între 2 și 9
CLS54	Câte stări are ciclul circuitului cu numărător prezentat?  A. 6 B. 9 C. 15 D. 16
CLS55	Memoria SRAM stochează un bit de informație... A. într-un latch B. într-un bistabil C. într-un capacitor D. într-un registru

CLS56	Memoria DRAM stochează un bit de informație... A. într-un latch B. într-un bistabil C. într-un capacitor D. într-un registru
CLS57	Memoria SDRAM stochează un bit de informație... A. într-un latch B. într-un bistabil C. într-un capacitor D. într-un registru
CLS58	O memorie de capacitate 1KB poate stoca un număr de biți egal cu... A. 1000 B. 1024 C. 8000 D. 8192
CLS59	O memorie SRAM de capacitate 2KB poate stoca un număr de biți egal cu... A. 2000 B. 2048 C. 8192 D. 16384
CLS60	O memorie DRAM de capacitate 8MB poate stoca un număr de biți egal cu... A. 8×10^6 B. 64×10^6 C. 8.388.608 D. 67.108.864
CLS61	Implementarea unui bit de paritate pentru fiecare byte, la o memorie de $2K \times 8$, determină creșterea dimensiunii memoriei cu un procent egal cu... A. 1.25% B. 10% C. 12.5% D. 20%
CLS62	Implementarea unui bit de paritate pentru fiecare byte, la o memorie de 1MB, determină creșterea dimensiunii memoriei cu un procent egal cu... A. 1.25% B. 10% C. 12.5% D. 20%

CLS63

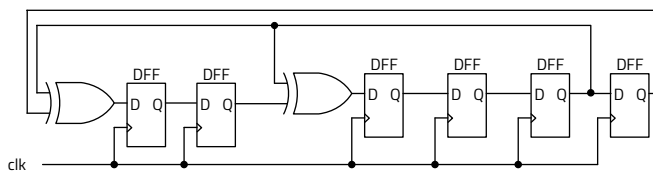
Determinați starea următoare stării 101101 pentru circuitul prezentat.



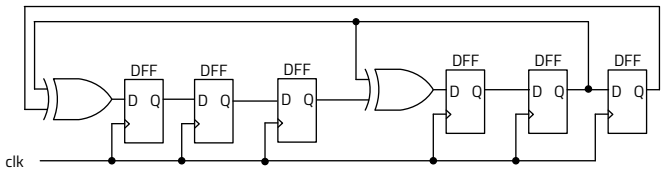
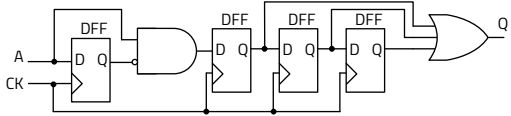
- A. 000110
- B. 111110
- C. 110110
- D. 010110

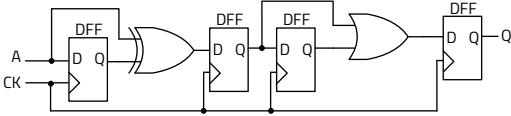
CLS64

Determinați starea următoare stării 100101 pentru circuitul prezentat.



- A. 100101
- B. 111010
- C. 110010
- D. 010010

CLS65	Determinați starea următoare stării 111101 pentru circuitul prezentat.  A. 111110 B. 011110 C. 111001 D. 011001
CLS66	Explicați comportamentul circuitului prezentat în figură.  A. prezintă la ieșire un puls cu lățimea 2 perioade de ceas la fiecare front pozitiv al intrării B. prezintă la ieșire un puls cu lățimea 3 perioade de ceas la fiecare front pozitiv al intrării C. prezintă la ieșire un puls cu lățimea 3 perioade de ceas la fiecare front al intrării D. prezintă la ieșire un puls cu lățimea 4 perioade de ceas la fiecare front pozitiv al intrării

CLS67	Explicați comportamentul circuitului prezentat în figură.  A. prezintă la ieșire un puls cu lățimea 2 perioade de ceas la fiecare front negativ al intrării B. prezintă la ieșire un puls cu lățimea 2 perioade de ceas la fiecare front al intrării C. prezintă la ieșire un puls cu lățimea 3 perioade de ceas la fiecare front al intrării D. prezintă la ieșire un puls cu lățimea 2 perioade de ceas la fiecare front pozitiv al intrării
CLS68	Ce stare urmează stării 0101 la un circuit LFSR caracterizat de polinomul $X^4 + X^2 + 1$. A. 1010 B. 1110 C. 0010 D. 1101
CLS69	Ce stare urmează stării 1101 la un circuit LFSR caracterizat de polinomul $X^4 + X^2 + 1$. A. 1011 B. 1010 C. 1110 D. 0110
CLS70	Ce stare urmează stării 1011 la un circuit LFSR caracterizat de polinomul $X^4 + X^2 + 1$. A. 1101 B. 0101 C. 1010 D. 0011

8.2 Răspunsuri

CLS1	B
CLS2	A
CLS3	C
CLS4	B
CLS5	B
CLS6	C
CLS7	B
CLS8	B
CLS9	D
CLS10	B
CLS11	D
CLS12	B
CLS13	A
CLS14	B
CLS15	C
CLS16	C
CLS17	A
CLS18	B
CLS19	D
CLS20	C
CLS21	C
CLS22	B
CLS23	C
CLS24	C
CLS25	D
CLS26	A
CLS27	B
CLS28	C
CLS29	D
CLS30	C
CLS31	D
CLS32	B
CLS33	B
CLS34	D
CLS35	C
CLS36	C
CLS37	A
CLS38	C
CLS39	D
CLS40	C

CLS41	C
CLS42	D
CLS43	C
CLS44	D
CLS45	C
CLS46	D
CLS47	D
CLS48	C
CLS49	B
CLS50	D
CLS51	B
CLS52	C
CLS53	B
CLS54	A
CLS55	A
CLS56	C
CLS57	C
CLS58	D
CLS59	D
CLS60	D
CLS61	C
CLS62	C
CLS63	C
CLS64	C
CLS65	A
CLS66	B
CLS67	B
CLS68	C
CLS69	D
CLS70	A

Tematica 9

Probleme pentru testat inteligența naturală/artificială

Problemele din acest capitol se pot rezolva la finalul cursului de electronică digitală. Scopul acestora este de furniza teme studenților care vor să aprofundeze disciplina și inginerilor care vor să își reîmprospăteze aptitudinile în vederea unui interviu de angajare pentru poziții de proiectant de hardware digital.

Toate problemele pot fi modelate în Verilog și ulterior depanate într-un mediu de test. Experiența arată că aplicațiile de inteligență artificială actuale sunt capabile de a rezolva mulțumitor problemele, chiar dacă li se furnizează ca date de intrare imagini cu specificațiile.

Experiența utilizării  ChatGPT sau  nu este lipsită de valoare.

Te încurajez să folosești aceste aplicații pentru a le testa limitele și a-ți da seama singur de greșelile și limitările acestora. Transmite enunțul (chiar sub formă de imagine) și încearcă să obții răspunsul.

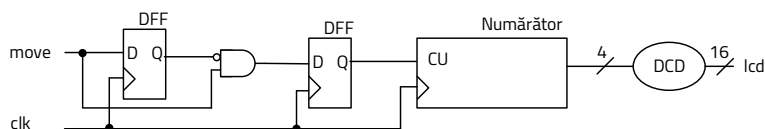
Nu uita: **VE-RI-FI-CĂ!**

Succes. 😊

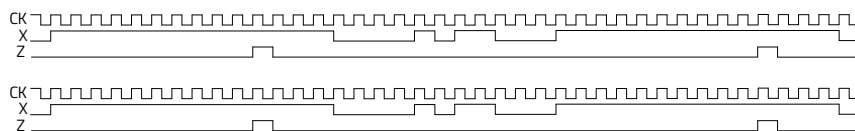
9.1 Probleme de proiectare

1. Proiectați un circuit secvențial sincron care lățește cu două perioade de ceas palierul de 1 al unui semnal de intrare. Palierul de 0 al semnalului are lățimea de minimum 4 perioade de tact.

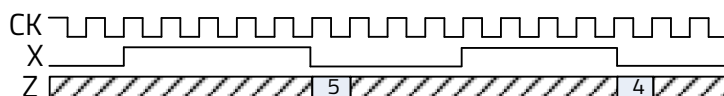
2. Proiectați un circuit secvențial sincron care lățește cu trei perioade de ceas palierul de 1 al unui semnal de intrare. Palierul de 0 al semnalului are lățimea de minimum 6 perioade de tact.
3. Proiectați un circuit pe bază de numărător presetabil care implementează un divizor de frecvență cu 15 și factor de umplere 7/15.
4. Proiectați un circuit pe bază de numărător presetabil care implementează un divizor de frecvență cu 15 și factor de umplere 8/15.
5. Proiectați un circuit logic secvențial care acceptă la intrare 4 biți la fiecare perioadă de ceas. Circuitul semnalează la ieșire dacă, în două tacte succesive, numărul zecimal asociat intrării este strict mai mare decât 11.
6. Proiectați un circuit aritmetic care calculează puterea lui 2 a numărului pozitiv primit la intrare, în domeniul [0...15].
7. Proiectați un circuit pe bază de LFSR care implementează un divizor de frecvență cu 15.
8. Utilizând un circuit sumator, proiectați un circuit de înmulțire cu 12 a numerelor pozitive reprezentate pe 8 biți.
9. Utilizând un circuit sumator, proiectați un circuit de înmulțire cu 9 a numerelor pozitive reprezentate pe 8 biți.
10. Utilizând un circuit sumator, implementați un circuit de înmulțire cu 6 a numerelor pozitive primite pe intrarea de 8 biți.
11. Proiectați un sistem digital care realizează divizarea frecvenței de ceas cu 8.
12. Proiectați un sistem digital care realizează divizarea frecvenței de ceas în mod programabil cu factorii 3 sau 4.
 - $f_{OUT} = f_{CK}/3$, pentru $div4 = 0$ și
 - $f_{OUT} = f_{CK}/4$, pentru $div4 = 1$
13. Concepeți un sistem digital care realizează un „zar electronic”. Zarul este acționat de un buton prin apăsare. Frecvența de ceas este de 1MHz. Ieșirea este prezentată pe 6 LED-uri.
14. Proiectați un sistem digital care realizează divizarea frecvenței de ceas cu 4.
15. Explicați funcționarea circuitului prezentat.



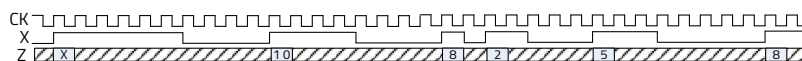
16. Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . Dacă intrarea X este activă („1”) minimum 10 perioade de ceas consecutive se activează ieșirea Z , o singură dată, pentru o perioadă de tact. Forme de undă posibile sunt prezentate în figură.



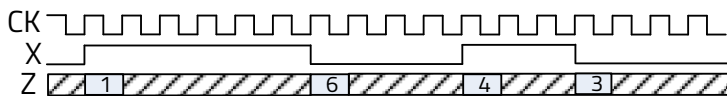
17. Proiectați un sistem secvențial sincron cu o intrare X . Lățimea maximă a pulsurilor pe X este de 7 perioade de ceas. După fiecare puls pe intrarea X , ieșirea Z (3 biți) prezintă durata pulsului (exprimată în perioade de ceas). Formele de undă și temporizarea sunt prezentate în figură.



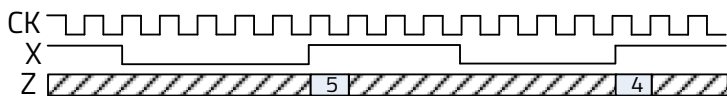
18. Proiectați un sistem secvențial sincron cu o intrare X care prezintă maximum 15 perioade de ceas între două fronturi crescătoare consecutive. După fiecare front crescător al intrării X , pe ieșirea Z (4 biți) se prezintă durata între ultimele două fronturi crescătoare ale intrării X (exprimată în perioade de ceas). Formele de undă și temporizarea sunt prezentate în figură.



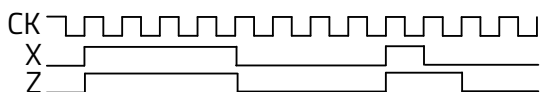
19. Proiectați un sistem secvențial sincron cu o intrare X care este constantă un număr de maximum 7 perioade de ceas. După fiecare schimbare a valorii intrării X , pe ieșirea Z (3 biți) se prezintă durata palierului (exprimată în perioade de ceas). Formele de undă și temporizarea sunt prezentate în figură.



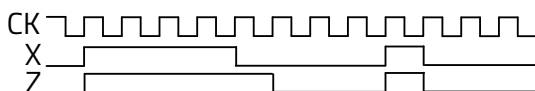
20. Proiectați un sistem secvențial sincron cu o intrare X . Pauza maximă între două pulsuri consecutive pe X este de 7 perioade de ceas. După fiecare pauză pe intrarea X , ieșirea Z (3 biți) prezintă durata pauzei (exprimată în perioade de ceas). Formele de undă și temporizarea sunt prezentate în figură.



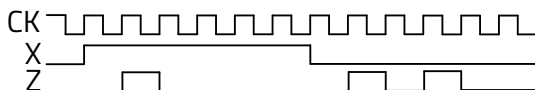
21. Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . Între două pulsuri pe intrare există o pauză de minimum 3 perioade de ceas. Ieșirea Z are întotdeauna lățimea un număr par de perioade de ceas. Dacă lățimea pulsului X este un număr par de perioade de ceas, atunci Z este la fel ca X . Dacă lățimea pulsului X este un număr impar de perioade de ceas, atunci pulsul pe ieșirea Z este cu o perioadă mai lat decât cel de pe intrarea X . Formele de undă și temporizarea sunt prezentate în figură.



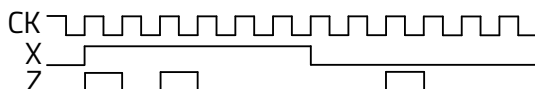
22. Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . Între două pulsuri pe intrare există o pauză de minimum 3 perioade de ceas. Ieșirea Z are întotdeauna lățimea un număr impar de perioade de ceas. Dacă lățimea pulsului X este un număr impar de perioade de ceas, atunci Z este la fel ca X . Dacă lățimea pulsului X este un număr par de perioade de ceas, atunci pulsul pe ieșirea Z este cu o perioadă mai lat decât cel de pe intrarea X . Formele de undă și temporizarea sunt prezentate în figură.



23. Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . La fiecare front pozitiv al semnalului X apare un puls pe ieșirea Z . La fiecare front negativ al semnalului X apare o secvență de două pulsuri pe ieșirea Z . Formele de undă și temporizarea sunt prezentate în figură.

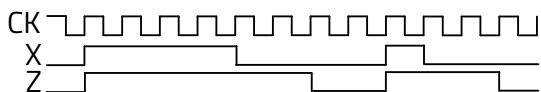


24. Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . La fiecare front pozitiv al semnalului X apar două pulsuri pe ieșirea Z . La fiecare front negativ al semnalului X apare un puls pe ieșirea Z . Formele de undă și temporizarea sunt prezentate în figură.

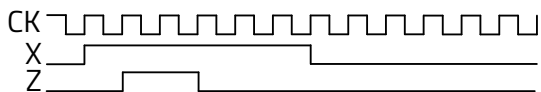


25. Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . Întotdeauna pulsul de ieșire Z este mai lat cu două perioade de ceas

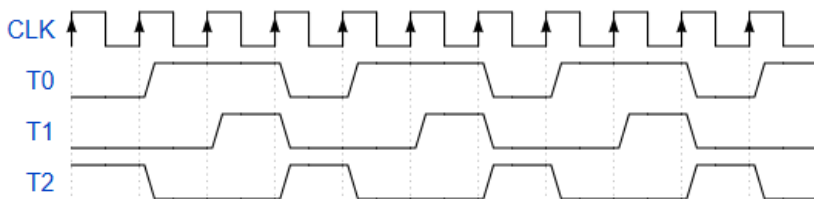
decât pulsul de intrare X . Între două pulsuri de intrare există o pauză de minimum 3 perioade de ceas. Formele de undă și temporizarea sunt prezentate în figură.



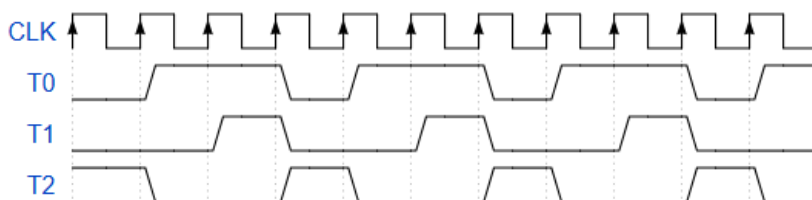
26. Proiectați un sistem secvențial sincron cu o intrare X și o ieșire Z . La fiecare front pozitiv al semnalului X apare un puls pe ieșirea Z , cu lățimea de două perioade de ceas (indiferent de lățimea pulsului de la intrarea X). Formele de undă și temporizarea sunt prezentate în figură.



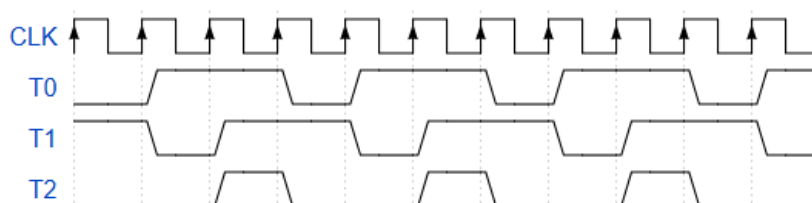
27. Proiectați un numărător modulo 5 sau modulo 12, utilizând un numărător de 4 biți presetabil și logică adițională. Valoarea de numărare este selectată cu ajutorul unui bit de intrare.
28. Proiectați un circuit de întârziere a unui semnal cu 1, 2, 3 sau 4 perioade de ceas. Durata întârzierii este selectată cu o intrare de 2 biți.
29. Proiectați un circuit care să genereze secvența periodică prezentată, având la dispoziție bistabile D și porți logice.



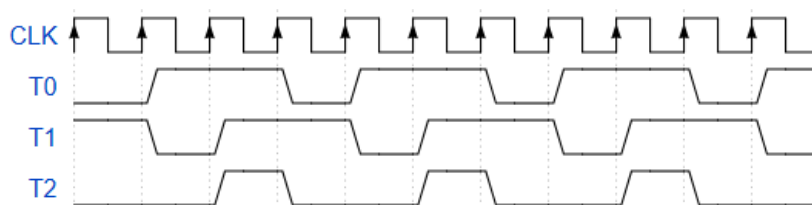
30. Proiectați un circuit care să genereze secvența periodică prezentată, având la dispoziție un numărător, un decodificator și porți logice.



31. Proiectați un circuit care să genereze secvența periodică prezentată, având la dispoziție bistabile D și porți logice.



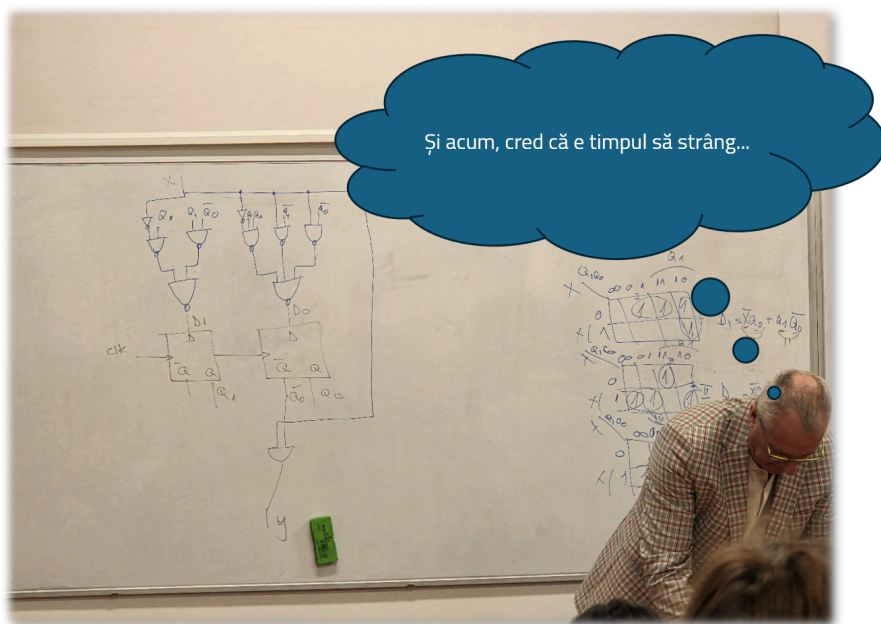
32. Proiectați un circuit care să genereze secvența periodică prezentată, având la dispoziție un numărător, un decodificator și porți logice.



Grăirea de încheiere

Într-o perioadă în care performanța profesorilor este măsurată
exclusiv prin numărul de articole publicate,
dăruiesc generațiilor viitoare o

„Carte de învățătură”.



ELECTRONICĂ DIGITALĂ

CARTE DE ÎNVĂȚĂTURĂ

TOMUL PENTRU GRABĂ MARE
DAN NICULA

Text generat cu ChatGPT pe baza unei structuri impuse și a unei indicații de stil.

📖 Către cel ce cu osârdie ⌚ caută a pătrunde tainele firii celei nevăzute 🌌, unde lumina nu-i luminează 🕯, și curgerea nu-i de apă 💧, ci de semne și socoteli 📊, se cuvine a zice câteva cuvinte de început 📖.

⚙ Meșteșugul despre care este această carte nu este unul dintre cele de demult 🕒, cu rânduială văzută 👁, ci ține de lumea cea nouă 🌐, zidită dintr-un și nimic – adică 1 și 0 – semne ce poartă în ele tainica putere a judecății mașinii 🤖.

🏠 S-au născocit în vremile din urmă unelte iscusite, numite calculatoare și gânditoare de siliciu 🧠, ce nu simt 😊, nu văd 👁❌ și nu gândesc ca omul 🧑, dar pot urma poruncile cu o strictețe ce uimește 🤖. Iar rânduiala lor, zidirea lăuntrică și lucrarea 🛠, se cuvine a fi cunoscută de cel ce vrea să nu fie doar folosit, ci și pricepător 😊.

📖 Cartea de față este tocmită spre folosul celui ce voiește a se face meșter în ale electronicii digitale 🛠💡, înțelegând nu doar „ce face”, ci și „cum face” și „de ce face” așa 😊.

🔍 Se vor înfățișa, cu cuvinte lămurite 📖 și pilde grăitoare 🗣, lucruri precum: taina semnalelor 📡, firea porților logice 🛠, judecata circuitelor 🧠 și rânduiala memoriei 📄. Nu-i puțină osteneală la mijloc 😊, dar rodul este vrednic: luminarea minții 💡 și dobândirea unui meșteșug al vremurilor ce vin 🌐.

🕯 Așadar, cel ce cetește să o facă cu răbdare 🐢 și cu mintea deschisă 🧠, iar ceea ce nu se pricepe dintr-o dată, să cerceteze iar 📖, căci așa s-au luminat și cei de dinainte, cu trudă și neclintire 🏠.

📖 Scrisă spre folos și știință, cu smerenie și rânduială. 🙏

Dan NICULA este profesor la Universitatea Transilvania din Brașov.
www.dannicula.ro



Editura
Universității
Transilvania
din Brașov

ISBN 978-606-19-1794-5



9 786061 917945